

OPAx348 1MHz、45 μ A、CMOS 轨至轨 运算放大器

1 特性

- 低 I_Q : 45 μ A (典型值)
- 轨至轨输入和输出
- 单电源: 2.1V 至 5.5V
- 输入偏置电流: 0.5pA
- 微型尺寸封装:
 - 5 引脚 SC70
 - 8 引脚 SOT-23
 - 14 引脚 TSSOP
- 优秀的带宽功耗权衡
- 通道数量:
 - OPA348: 1
 - OPA2348: 2
 - OPA4348: 4

2 应用范围

- 便携式设备
- 电池供电类设备
- 烟雾报警器
- 一氧化碳 (CO) 检测器
- 医疗仪器

3 说明

OPAx348 系列放大器是单电源的低功耗 CMOS 运算放大器。OPAx348 系列具有 1MHz 的扩展带宽和 45 μ A 的电源电流, 适用于采用 2.1V 至 5.5V 单电源供电的低功耗应用。

OPAx348 系列具有 45 μ A 的低电源电流和 0.5pA 的输入偏置电流, 因此是烟雾探测器和其他高阻抗传感器等低功耗应用的理想选择。

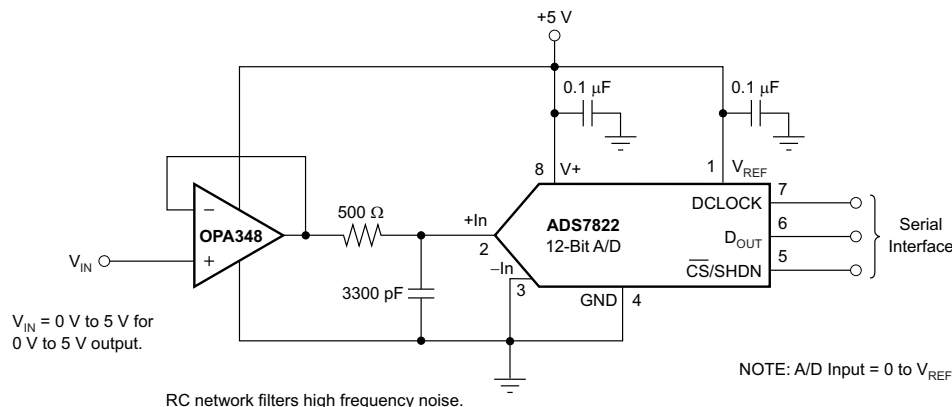
OPA348 采用小型 5 引脚 SC70 (SOT)、5 引脚 SOT-23 (SOT) 和 8 引脚 SO (SOIC) 封装。OPA2348 采用 8 引脚 SOT-23 (SOT) 封装和 8 引脚 SO (SOIC) 封装, 而 OPA4348 采用节省空间的 14 引脚 TSSOP 和 14 引脚 SO (SOIC) 封装。在全部电源范围内 -40°C 至 $+125^{\circ}\text{C}$ 的扩展温度范围提供了设计灵活性。

器件信息⁽¹⁾

器件型号	封装	封装尺寸 (标称值)
OPA348	SOIC (8)	4.90mm × 3.91mm
	SOT-23 (5)	2.90mm × 1.60mm
	SC70 (5)	2.00mm × 1.25mm
OPA2348	SOIC (8)	4.90mm × 3.91mm
	SOT-23 (8)	2.90mm × 1.63mm
	VSSOP (8)	3.00mm × 3.00mm
OPA4348	SOIC (14)	8.65mm × 3.91mm
	TSSOP (14)	5.00mm × 4.40mm

(1) 如需了解所有可用封装, 请参阅数据表末尾的可订购产品附录。

ADC 输入驱动器



Copyright © 2016, Texas Instruments Incorporated



目录

1	特性	1	8	以下一些应用中	16
2	应用范围	1	8.1	应用信息	16
3	说明	1	8.2	典型应用	18
4	修订历史记录	2	9	电源建议	21
5	引脚配置和功能	3	10	布局	21
6	规格	6	10.1	布局指南	21
6.1	绝对最大额定值	6	10.2	布局示例	21
6.2	ESD 额定值	6	11	器件和文档支持	22
6.3	建议运行条件	6	11.1	器件支持	22
6.4	热性能信息: OPA348	7	11.2	文档支持	22
6.5	热性能信息: OPA2348	7	11.3	接收文档更新通知	23
6.6	热性能信息: OPA4348	7	11.4	相关链接	23
6.7	电气特性	7	11.5	接收文档更新通知	23
6.8	典型特性	9	11.6	社区资源	23
7	详细 说明	12	11.7	商标	23
7.1	概述	12	11.8	静电放电警告	23
7.2	功能框图	12	11.9	术语表	23
7.3	特性 说明	12	12	机械、封装和可订购信息	23
7.4	器件功能模式	15			

4 修订历史记录

注: 之前版本的页码可能与当前版本有所不同。

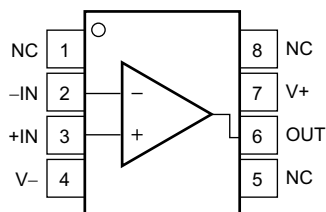
Changes from Revision G (March 2013) to Revision H	Page
• 已添加 ESD 额定值表 、 特性说明 部分、 器件功能模式 、 应用和实施 部分、 电源相关建议 部分、 布局 部分、 器件和文档支持 部分以及 机械、封装和可订购信息 部分	1
• Changed 将 OPA348 DCK 封装符号从 SOT 更改成了 SC70, 以匹配封装选项附录信息	3
• Deleted 从绝对最大额定值表中删除了引线温度规格	6
• 重新设置了热性能表注的格式	7
• 已更改 更改了驱动模数转换器部分的第二段和第三段, 以消除冗余	17

Changes from Revision F (October 2012) to Revision G	Page
• Changed 更改了绝对最大额定值表的第 2 个脚注	6

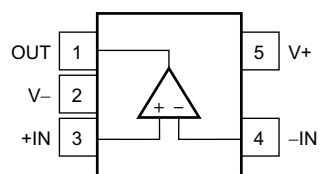
Changes from Revision E (September 2012) to Revision F	Page
• 已删除 封装和订购信息表数据	1

5 引脚配置和功能

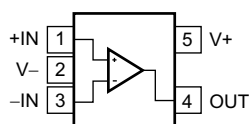
OPA348 D 封装
8 引脚 SOIC
俯视图



OPA348 DBV 封装
5 引脚 SOT-23
俯视图

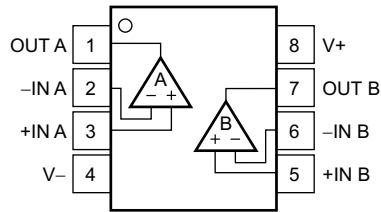


OPA348 DCK 封装
5 引脚 SC70 (微型尺寸)
俯视图



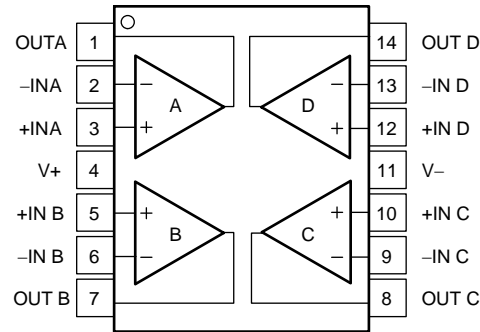
引脚功能：OPA348

名称	引脚			I/O	说明
	DBV (SOT-23)	DCK (SC70)	D (SOIC)		
-IN	4	3	2	I	负 (反相) 输入
+IN	3	1	3	I	正 (同相) 输入
NC	—	—	1、5、8	—	没有与内部电路连接 (可以悬空)
OUT	1	4	6	O	Output
V-	2	2	4	—	负电源 (最低)
V+	5	5	7	—	正电源 (最高)

**OPA2348 D、DCN 和 DGK 封装
8 引脚 SOIC、SOT 和 VSSOP
俯视图**

引脚功能：OPA2348

名称	引脚			I/O	说明
	D (SOIC)	DCN (SOT-23)	DGK (VSSOP)		
-IN A	2	2	2	I	反相输入，通道 A
-IN B	6	6	6	I	反相输入，通道 B
+IN A	3	3	3	I	同相输入，通道 A
+IN B	5	5	5	I	同相输入，通道 B
OUT A	1	1	1	O	输出，通道 A
OUT B	7	7	7	O	输出，通道 B
V-	4	4	4	—	负电源 (最低)
V+	8	8	8	—	正电源 (最高)

**OPA4348 D 和 PW 封装
14 引脚 SOIC 和 TSSOP
俯视图**



引脚功能 : OPA4348

名称	引脚		I/O	说明
	D (SOIC)	PW (TSSOP)		
-IN A	2	2	I	反相输入, 通道 A
-IN B	6	6	I	反相输入, 通道 B
-IN C	9	9	I	反相输入, 通道 C
-IN D	13	13	I	反相输入, 通道 D
+IN A	3	3	I	同相输入, 通道 A
+IN B	5	5	I	同相输入, 通道 B
+IN C	10	10	I	同相输入, 通道 C
+IN D	12	12	I	同相输入, 通道 D
OUT A	1	1	O	输出, 通道 A
OUT B	7	7	O	输出, 通道 B
OUT C	8	8	O	输出, 通道 C
OUT D	14	14	O	输出, 通道 D
V-	11	11	—	负电源 (最低)
V+	4	4	—	正电源 (最高)

6 规格

6.1 绝对最大额定值

在自然通风温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
电压	电源电压, $V_S = (V+) - (V-)$	7.5		V
	信号输入端子, 电压 ⁽²⁾	$(V-) - 0.5$	$(V+) + 0.5$	
电流	信号输入端子, 电流 ⁽²⁾	10		mA
	输出短路 ⁽³⁾	持续		
温度	结温, T_J	150		°C
	工作温度, T_A	-65	150	
	贮存温度, T_{stg}	-65	150	

- (1) 超过这些额定值的应力有可能造成永久损坏。长时间处于最大绝对额定情况下会降低设备的可靠性。这些只是应力额定值。在这些条件或者超过那些所标明的条件下的功能运行并未注明。
- (2) 输入端子未被二极管钳制至电源轨。对于摆幅可能超过电源轨 0.5V 的输入信号, 必须将其电流限制为 10mA 或者更低。
- (3) 对地短路, 每个封装对应一个放大器。

6.2 ESD 额定值

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±2000	V
	组件充电模式 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±500	

- (1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风温度范围内测得 (除非另有说明)

	最小值	最大值	单位
电源电压	2.1	5.5	V
额定温度范围	-40	125	°C

6.4 热性能信息：OPA348

热指标 ⁽¹⁾	OPA348			单位
	DBV (SOT-23)	DCK (SC70)	D (SOIC)	
	5 引脚	5 引脚	8 引脚	
R _{θJA} 结至环境热阻	229	267	142	°C/W
R _{θJC(top)} 结至外壳 (顶部) 热阻	99	81	90	°C/W
R _{θJB} 结至电路板热阻	55	55	83	°C/W
ψ _{JT} 结至顶部特征参数	7.7	1.2	40	°C/W
ψ _{JB} 结至电路板特征参数	54	54	82	°C/W
R _{θJC(bot)} 结至外壳 (底部) 热阻	—	—	—	°C/W

(1) 有关传统和新热指标的更多信息，请参阅《[半导体和 IC 封装热指标](#)》(SPRA953)。

6.5 热性能信息：OPA2348

热指标 ⁽¹⁾	OPA2348			单位
	D (SOIC)	DGK (VSSOP)	DCN (SOT-23)	
	8 引脚	8 引脚	8 引脚	
R _{θJA} 结至环境热阻	134	191	147	°C/W
R _{θJC(top)} 结至外壳 (顶部) 热阻	90	83	115	°C/W
R _{θJB} 结至电路板热阻	79	112	32	°C/W
ψ _{JT} 结至顶部特征参数	30	18	38	°C/W
ψ _{JB} 结至电路板特征参数	78	110	33	°C/W
R _{θJC(bot)} 结至外壳 (底部) 热阻	—	—	—	°C/W

(1) 有关传统和新热指标的更多信息，请参阅《[半导体和 IC 封装热指标](#)》(SPRA953)。

6.6 热性能信息：OPA4348

热指标 ⁽¹⁾	OPA4348		单位
	D (SOIC)	PW (TSSOP)	
	14 引脚	14 引脚	
R _{θJA} 结至环境热阻	78	121	°C/W
R _{θJC(top)} 结至外壳 (顶部) 热阻	35	49	°C/W
R _{θJB} 结至电路板热阻	33	63	°C/W
ψ _{JT} 结至顶部特征参数	7	5.9	°C/W
ψ _{JB} 结至电路板特征参数	33	62	°C/W
R _{θJC(bot)} 结至外壳 (底部) 热阻	—	—	°C/W

(1) 有关传统和新热指标的更多信息，请参阅《[半导体和 IC 封装热指标](#)》(SPRA953)。

6.7 电气特性

V_S = 2.5V 至 5.5V, T_A = 25°C, R_L = 100kΩ (连接至 V_S/2), V_{OUT} = V_S/2 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
失调电压					
V _{OS} 输入失调电压	V _S = 5V, V _{CM} = (V-) + 0.8V		1	5	mV
	V _S = 5V, V _{CM} = (V-) + 0.8V, T _A = -40°C 至 125°C			6	
dV _{OS} /dT 输入失调电压漂移	T _A = -40°C 至 125°C		4		μV/°C
PSRR 输入失调电压与电源间的关系	V _S = 2.5V 至 5.5V, V _{CM} < (V+) - 1.7V		60	175	μV/V
	T _A = -40°C 至 125°C, V _S = 2.5V 至 5.5V, V _{CM} < (V+) - 1.7V			300	
通道分离	直流时		0.2		μV/V
	f = 1 kHz 时		134		dB
输入电压范围					
V _{CM} 共模电压范围		(V-) - 0.2		(V+) + 0.2	V

电气特性 (continued)
 $V_S = 2.5V$ 至 $5.5V$, $T_A = 25^\circ C$, $R_L = 100k\Omega$ (连接至 $V_S/2$), $V_{OUT} = V_S/2$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
CMRR	共模抑制比	$(V-) - 0.2V < V_{CM} < (V+) - 1.7V$	70	82		dB
		$(V-) < V_{CM} < (V+) - 1.7V$, $T_A = -40^\circ C$ 至 $125^\circ C$	66			
		$V_S = 5.5V$, $(V-) - 0.2V < V_{CM} < (V+) + 0.2V$	60	71		
		$V_S = 5.5V$, $(V-) < V_{CM} < (V+)$, $T_A = -40^\circ C$ 至 $125^\circ C$	56			
输入偏置电流						
I_B	输入偏置电流			± 0.5	± 10	pA
I_{OS}	输入失调电流			± 0.5	± 10	pA
输入阻抗						
	差分			$10^{13} \parallel 3$		$\Omega \parallel pF$
	共模			$10^{13} \parallel 6$		$\Omega \parallel pF$
噪声						
	输入电压噪声	$V_{CM} < (V+) - 1.7V$, $f = 0.1Hz$ 至 $10Hz$		10		μV_{PP}
e_n	输入电压噪声密度	$V_{CM} < (V+) - 1.7V$, $f = 1kHz$		35		nV/\sqrt{Hz}
i_n	输入电流噪声密度	$V_{CM} < (V+) - 1.7V$, $f = 1kHz$		4		fA/\sqrt{Hz}
开环增益						
A_{OL}	开环电压增益	$V_S = 5V$, $R_L = 100k\Omega$, $0.025V < V_O < 4.975V$	94	108		dB
		$V_S = 5V$, $R_L = 100k\Omega$, $0.025V < V_O < 4.975V$, $T_A = -40^\circ C$ 至 $125^\circ C$	90			
		$V_S = 5V$, $R_L = 5k\Omega$, $0.125V < V_O < 4.875V$	90	98		
		$V_S = 5V$, $R_L = 5k\Omega$, $0.125V < V_O < 4.875V$, $T_A = -40^\circ C$ 至 $125^\circ C$	88			
输出						
	相对于电源轨的电压输出摆幅	$R_L = 100k\Omega$, $A_{OL} > 94dB$		18	25	mV
		$R_L = 100k\Omega$, $A_{OL} > 90dB$, $T_A = -40^\circ C$ 至 $125^\circ C$			25	
		$R_L = 5k\Omega$, $A_{OL} > 90dB$		100	125	
		$R_L = 5k\Omega$, $A_{OL} > 88dB$, $T_A = -40^\circ C$ 至 $125^\circ C$			125	
I_{SC}	短路电流			± 10		mA
C_{LOAD}	容性负载驱动			请参阅 典型特性		
频率响应						
GBP	增益带宽积	$C_L = 100pF$		1		MHz
SR	压摆率	$C_L = 100pF$, $G = +1$		0.5		$V/\mu s$
t_s	建立时间, 0.1%	$C_L = 100pF$, $V_S = 5.5V$, 2V 阶跃, $G = +1$		5		μs
	建立时间, 0.01%	$C_L = 100pF$, $V_S = 5.5V$, 2V 阶跃, $G = +1$		7		
	过载恢复时间	$C_L = 100pF$, $V_{IN} \times \text{增益} > V_S$		1.6		μs
THD+N	总谐波失真 + 噪声	$C_L = 100pF$, $V_S = 5.5V$, $V_O = 3V_{PP}$, $G = +1$, $f = 1kHz$		0.0023%		
电源						
V_S	额定电压		2.5		5.5	V
	工作电压			2.1	5.5	V
I_Q	静态电流 (每个放大器)	$I_Q = 0mA$		45	65	μA
		$I_Q = 0mA$, $T_A = -40^\circ C$ 至 $125^\circ C$			75	

6.8 典型特性

$T_A = 25^\circ\text{C}$, $R_L = 100\text{k}\Omega$ 连接至 $V_S/2$, 且 $V_{OUT} = V_S/2$ (除非另外说明)

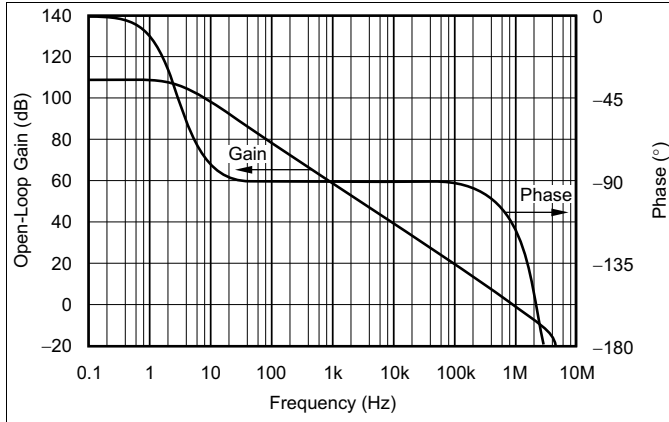


图 1. 开环增益和相位与频率间的关系

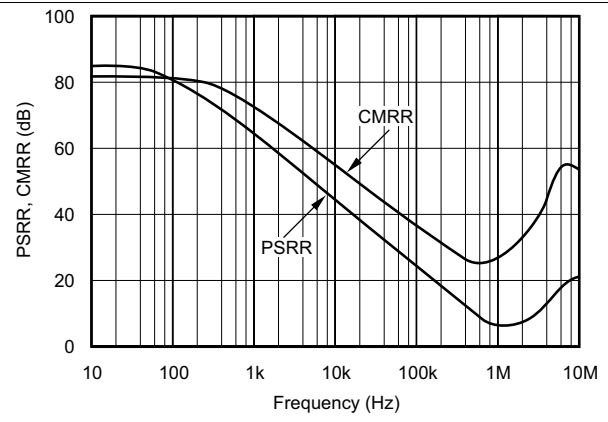


图 2. PSRR 和 CMRR 与频率间的关系

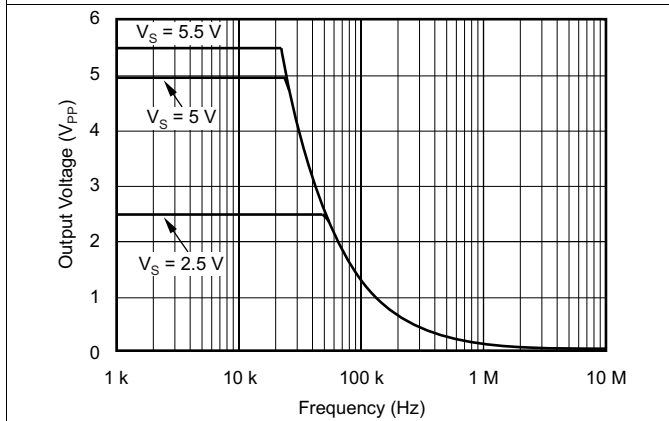


图 3. 最大输出电压与频率间的关系

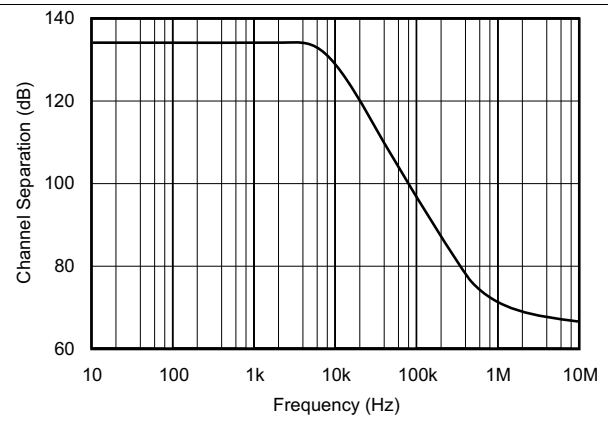


图 4. 通道分离与频率间的关系

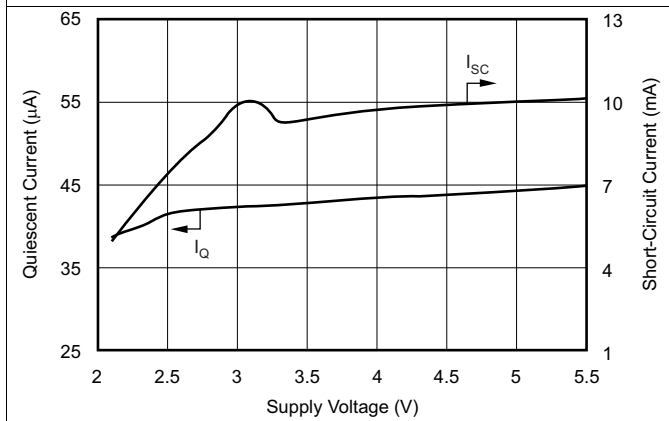


图 5. 静态电流和短路电流与电源电压间的关系

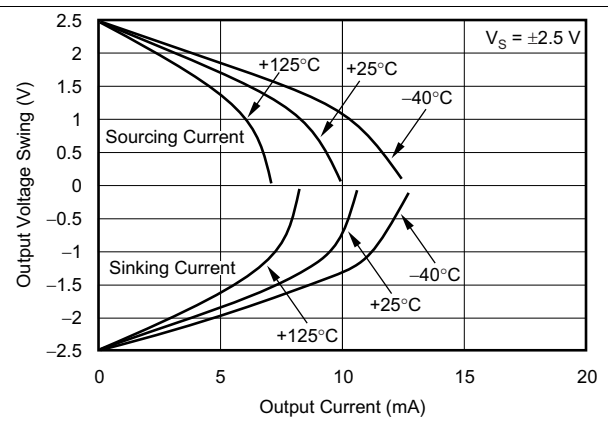


图 6. 输出电压摆幅与输出电流间的关系

典型特性 (接下页)

$T_A = 25^\circ\text{C}$, $R_L = 100\text{k}\Omega$ 连接至 $V_S/2$, 且 $V_{OUT} = V_S/2$ (除非另外说明)

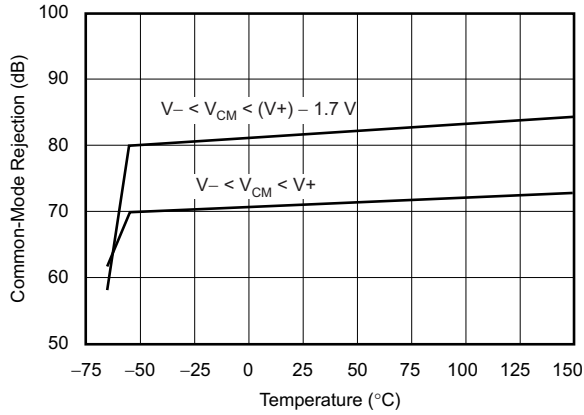


图 7. 共模抑制与温度间的关系

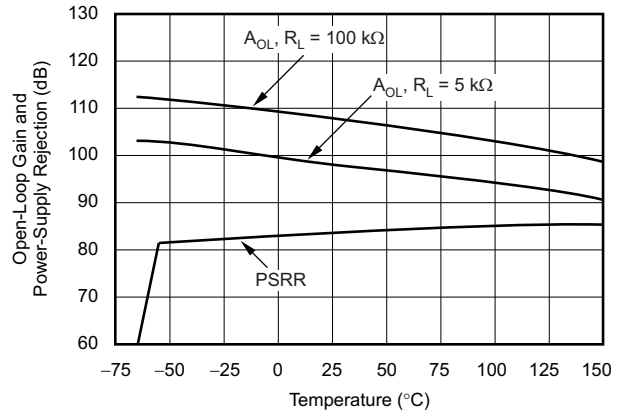


图 8. 开环增益和 PSRR 与温度间的关系

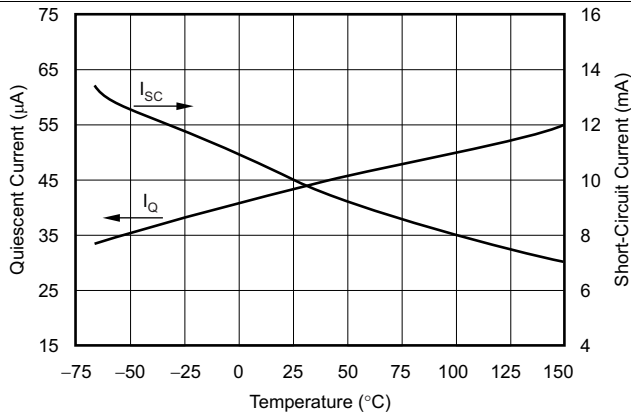


图 9. 静态电流和短路电流与温度间的关系

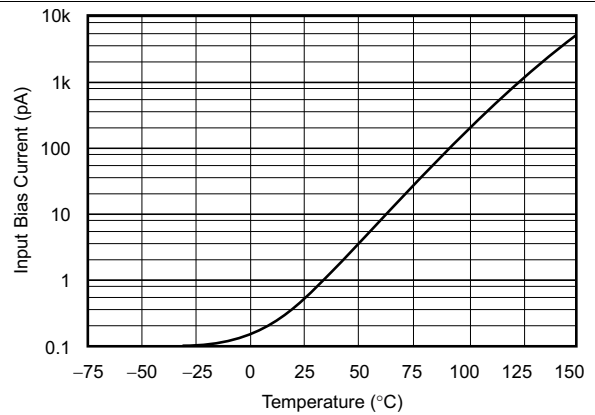


图 10. 输入偏置 (I_B) 电流与温度间的关系

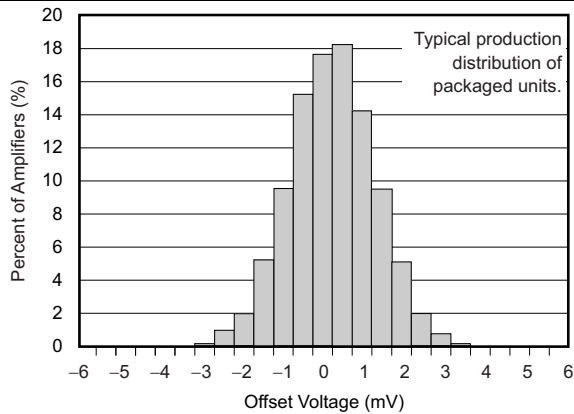


图 11. 失调电压产生分布

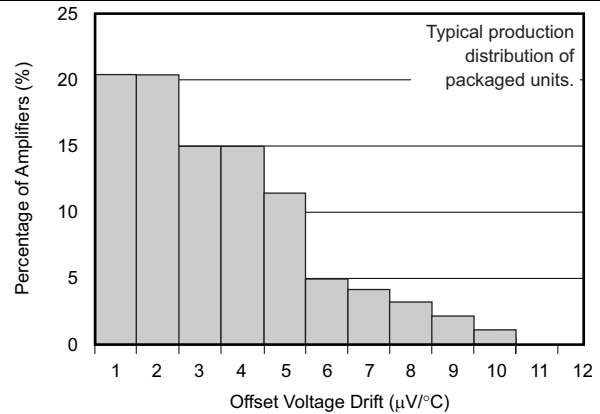


图 12. 失调电压漂移幅度产生分布

典型特性 (接下页)

$T_A = 25^\circ\text{C}$, $R_L = 100\text{k}\Omega$ 连接至 $V_S/2$, 且 $V_{OUT} = V_S/2$ (除非另外说明)

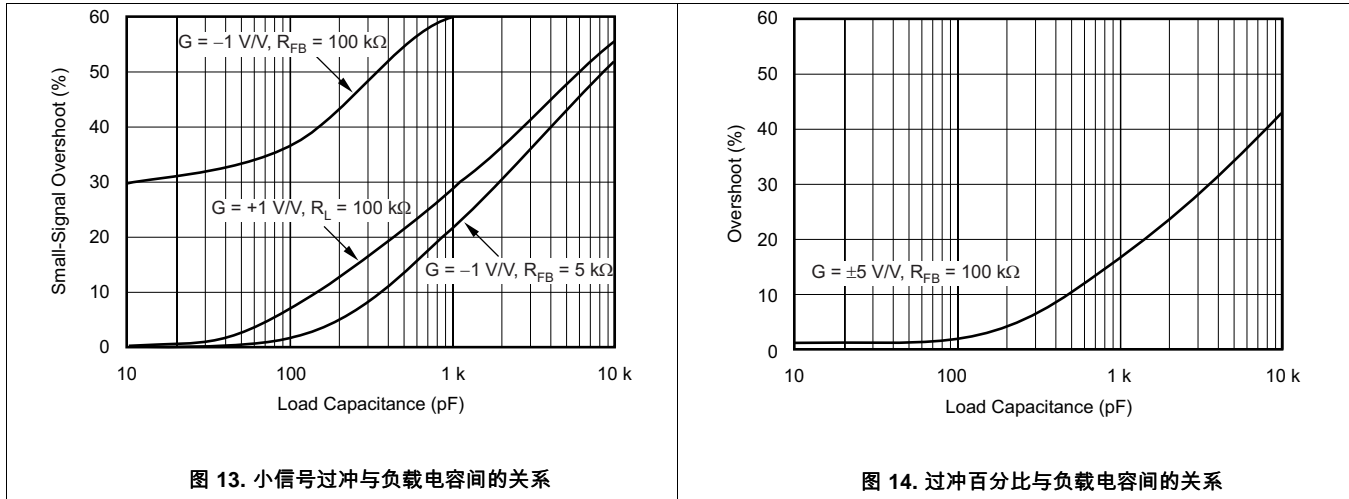


图 13. 小信号过冲与负载电容间的关系

图 14. 过冲百分比与负载电容间的关系

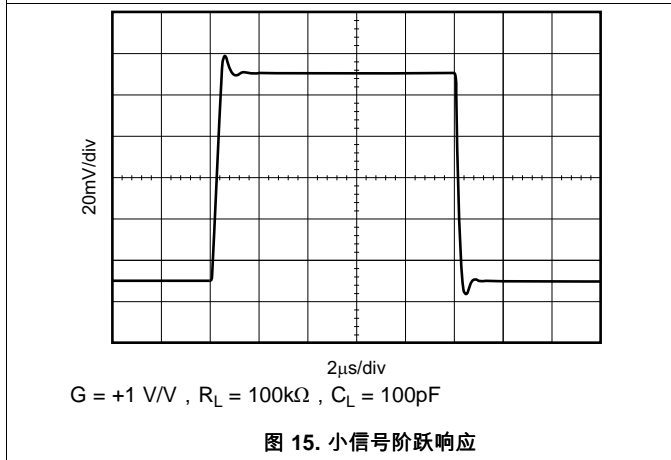


图 15. 小信号阶跃响应

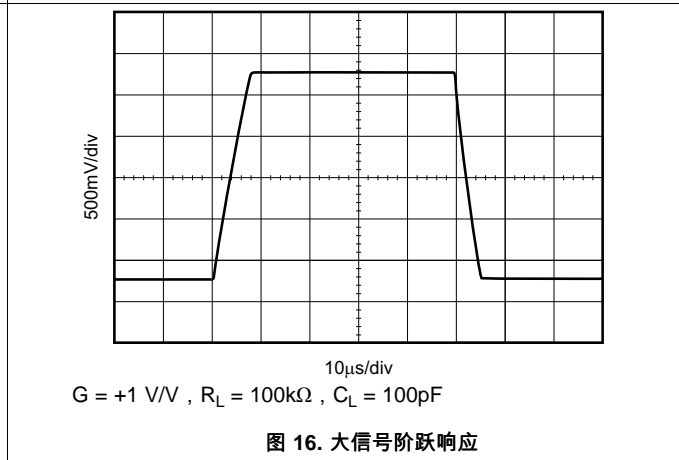


图 16. 大信号阶跃响应

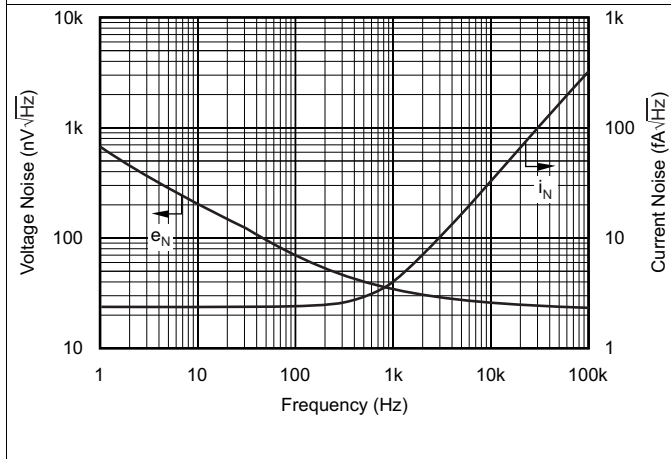


图 17. 输入电流和电压噪声频谱密度与频率间的关系

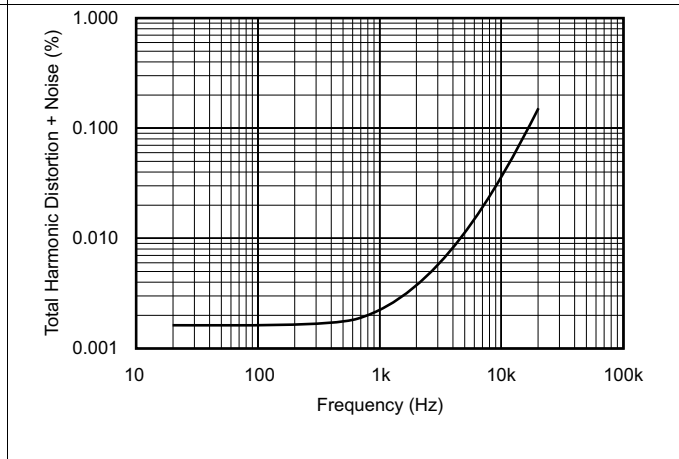


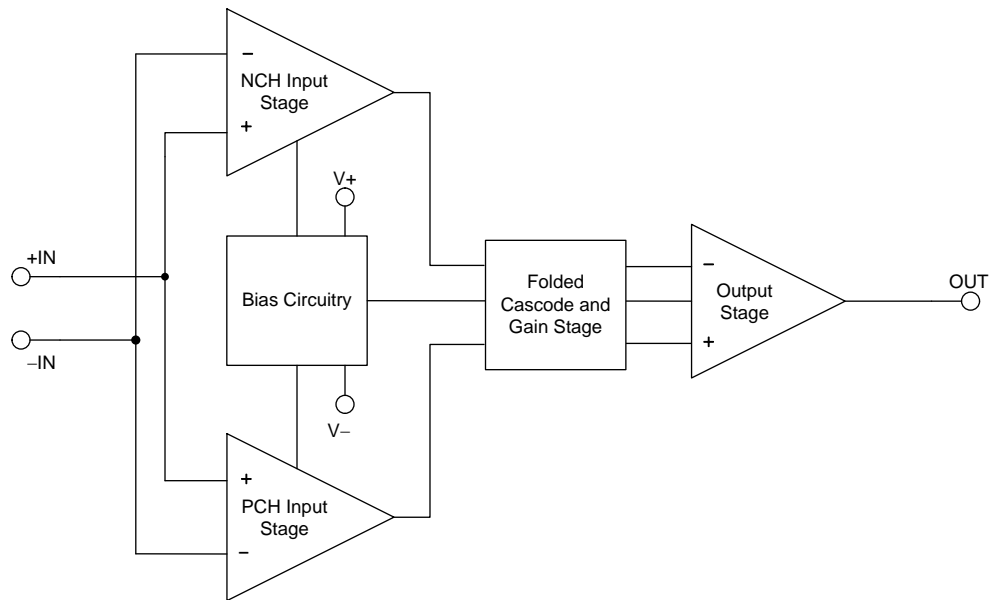
图 18. 总谐波失真 + 噪声与频率间的关系

7 详细 说明

7.1 概述

OPAx348 系列运算放大器的单位增益稳定，适用于各种通用 应用。OPAx348 系列 具有 宽带宽以及轨至轨输入和输出，可实现更大的动态范围。

7.2 功能框图



Copyright © 2016, Texas Instruments Incorporated

7.3 特性 说明

7.3.1 工作电压

OPAx348 系列运算放大器的额定工作电压范围为 2.5V 至 5.5V，并且在 该范围内进行了全面的测试。不过，电源电压范围可介于 2.1V 至 5.5V 之间。在额定电源范围内对参数进行了测试，这是 OPAx348 系列的一项独特功能。所有温度规格均在 -40°C 至 $+125^{\circ}\text{C}$ 范围内适用。大多数行为在整个工作电压范围内几乎保持不变。[典型特性](#) 部分中显示了随工作电压或温度的变化而显著变化的参数。

特性说明 (接下页)

7.3.2 共模电压范围

OPA348 系列的输入共模电压范围在电源轨基础上向外扩展了 200mV。扩展的范围是由一个互补输入级实现的，即一个 N 沟道输入差分对与一个 P 沟道差分对并联。当输入电压靠近正轨（通常为 $(V+) - 1.2V$ 到高于正电源电压 300mV）时，N 沟道对有效；而当输入为低于负电源电压 300mV 到大约 $(V+) - 1.4V$ 范围时，P 沟道对打开。在一个通常介于 $(V+) - 1.4V$ 到 $(V+) - 1.2V$ 的小转换区域内，两个对都打开。此 200mV 转换区域（如 图 19 中所示）可能会随工艺不同而波动 $\pm 300mV$ 。因此，此转换区域（两个级都打开）在低端上的范围介于 $(V+) - 1.7V$ 和 $(V+) - 1.5V$ 之间，在高端上的范围高达 $(V+) - 1.1V$ 至 $(V+) - 0.9V$ 。器件在 200mV 转换区域内运行与在该区域外运行相比，PSRR、CMRR、失调电压、温漂和 THD 可能会降级。

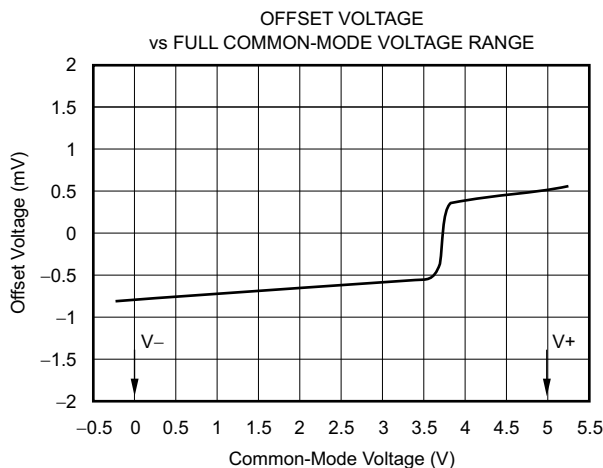


图 19. 室温下典型转换区域的行为

7.3.3 轨至轨输入

输入共模范围从 $(V-) - 0.2V$ 扩展到 $(V+) + 0.2V$ 。若要正常运行，输入必须限制在此范围内。绝对最大输入电压比电源电压高 500mV。大于输入共模范围但小于最大输入电压的输入虽然无效，但是不会对运算放大器造成任何损坏。与其他某些运算放大器不同，如果输入电流受到限制，输入可能会超过电源，而且不会产生相位反转；请参阅 图 20。

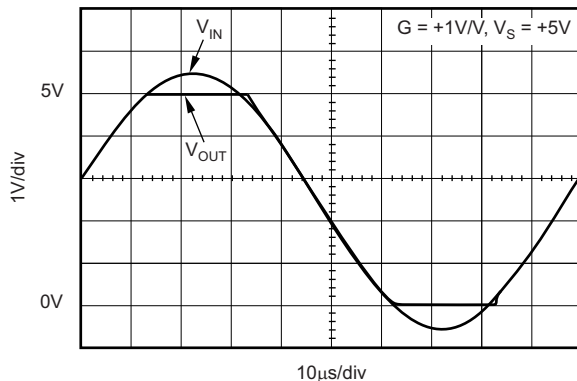
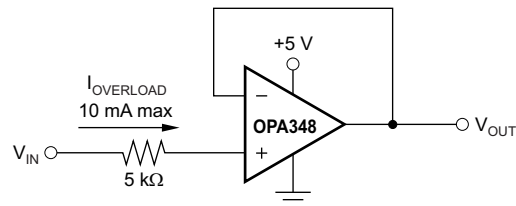


图 20. OPA348：输入电压大于电源电压时无相位反转

特性说明 (接下页)

正常情况下，输入电流为 0.5pA。然而，大输入（比电源轨高 500mV 以上）可能会导致过多电流流入或流出输入引脚。因此，除了将输入电压保持在低于最大额定值之外，将输入电流限制在小于 10mA 也很重要。可借助输入电压电阻器轻松实现此限制，如图 21 所示。



Copyright © 2016, Texas Instruments Incorporated

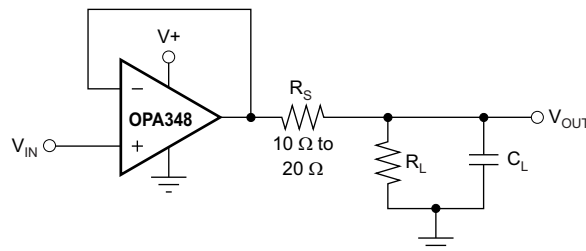
图 21. 在电压超过电源电压时提供输入电流保护

7.3.4 轨至轨输出

采用具有共源晶体管的 AB 类输出级来实现轨至轨输出。该输出级能够驱动连接至 $V+$ 和接地之间任一电压的 $5k\Omega$ 负载。对于轻阻性负载 ($> 100k\Omega$)，输出电压通常可以在电源轨 18mV 范围内摆动。对于中等阻性负载 ($10k\Omega$ 至 $50k\Omega$)，输出电压通常可以在电源轨 100mV 范围内摆动，同时保持高开环增益（请参阅图 6）。

7.3.5 容性负载和稳定性

采用单位增益配置的 OPA348 可直接驱动高达 250pF 的纯容性负载。增加增益可增强放大器驱动更大容性负载的能力（请参阅图 13）。在单位增益配置条件下，插入一个与输出串联的低电阻值电阻器 (10Ω 至 20Ω) R_S 即可增强容性负载驱动能力，如图 22 所示。此低电阻值电阻器可显著减少振铃，同时保持纯容性负载的直流性能。不过，如果有一个与容性负载并联的阻性负载，则会生成一个分压器，从而在输出端引入直流 (dc) 误差并略微减小输出摆幅。引入的误差与比率 R_S/R_L 成正比，通常可以忽略不计。

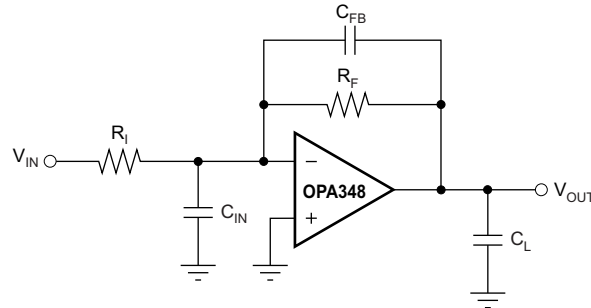


Copyright © 2016, Texas Instruments Incorporated

图 22. 单位增益缓冲器配置中的串联电阻器改进容性负载驱动

特性说明 (接下页)

在单位增益反相器配置中，运算放大器上的电容值和增益设置电阻器之间相互作用会减少相位裕量，从而降低容性负载驱动能力。通过使用小值电阻器可实现最佳性能。例如，在驱动 500pF 负载时，将电阻器值从 100kΩ 降低到 5kΩ 可以将过冲从 55% 降低至 13% (请参阅图 13)。不过，当必须使用高阻值电阻器时，可以在反馈中插入一个低电容值 (4pF 至 6pF) 电容器 C_{FB} ，如图 23 所示。该配置通过补偿电容 C_{IN} (其中包括放大器的输入电容和印刷电路板 (PCB) 的寄生电容) 的影响，可显著减少过冲。



Copyright © 2016, Texas Instruments Incorporated

图 23. 增强容性负载驱动能力

7.4 器件功能模式

OPAx348
2.1V (±1.05V) 时工作。OPAx348 的最大电源电压为 5.5V (±2.75V)。

具有单一功能模式，可在电源电压大于

8 以下一些应用中

注

的应用和实现 信息 部分的信息不属于 TI 规格范围，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

OPA348 放大器是一款单电源 CMOS 运算放大器，具有 1MHz 单位增益带宽，其电源电流仅为 45 μ A。其性能针对低功耗（2.1V 至 5.5V）单电源应用进行了优化，其输入共模电压线性范围在电源轨基础上向外扩展了 200mV，输出电压摆幅在两个电源轨的 25mV 范围内。

OPA348 系列 具有 宽带宽和单位增益稳定性以及轨至轨输入和输出，可实现更大的动态范围。图 24 显示了采用单位增益配置的 OPA348 的输入和输出波形。运行由一个将 100k Ω 负载连接到 $V_S/2$ 的 5V 单电源供电。输入是一个 5V_{PP} 正弦波。输出电压大约为 4.98V_{PP}。

必须使用 0.01 μ F 陶瓷电容器将电源引脚旁路掉。

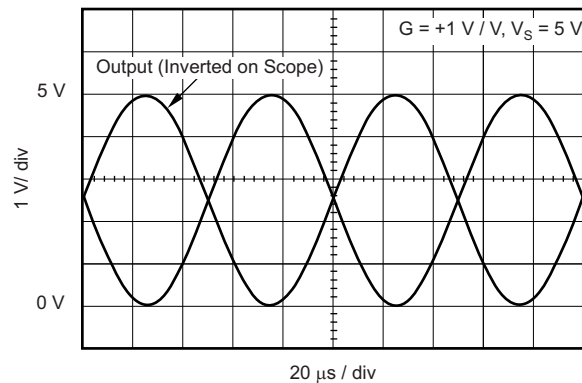


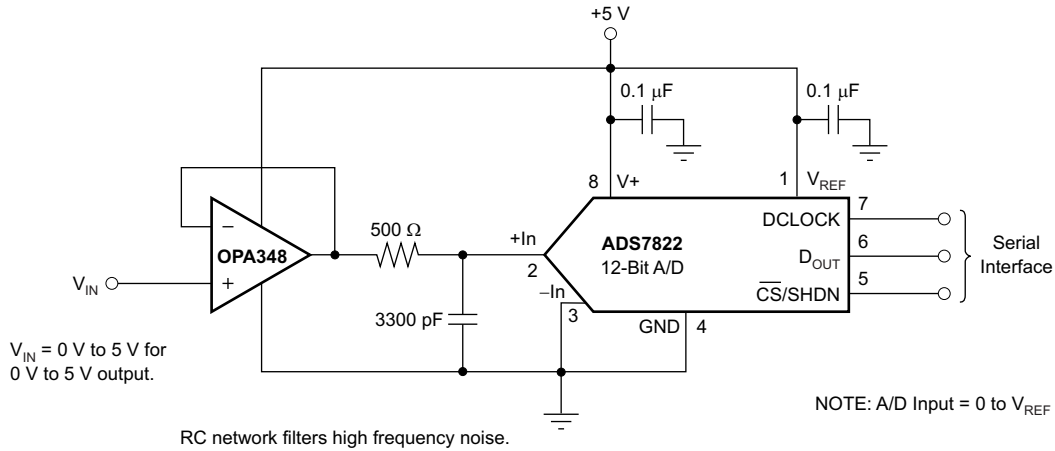
图 24. OPA348 具有 轨至轨输入和输出

应用信息 (接下页)

8.1.1 驱动模数转换器

OPA348 系列运算放大器针对驱动中速采样模数转换器 (ADC) 进行了优化。OPA348 运算放大器可以缓冲 ADC 输入电容和产生的电荷注入，同时提高信号增益。

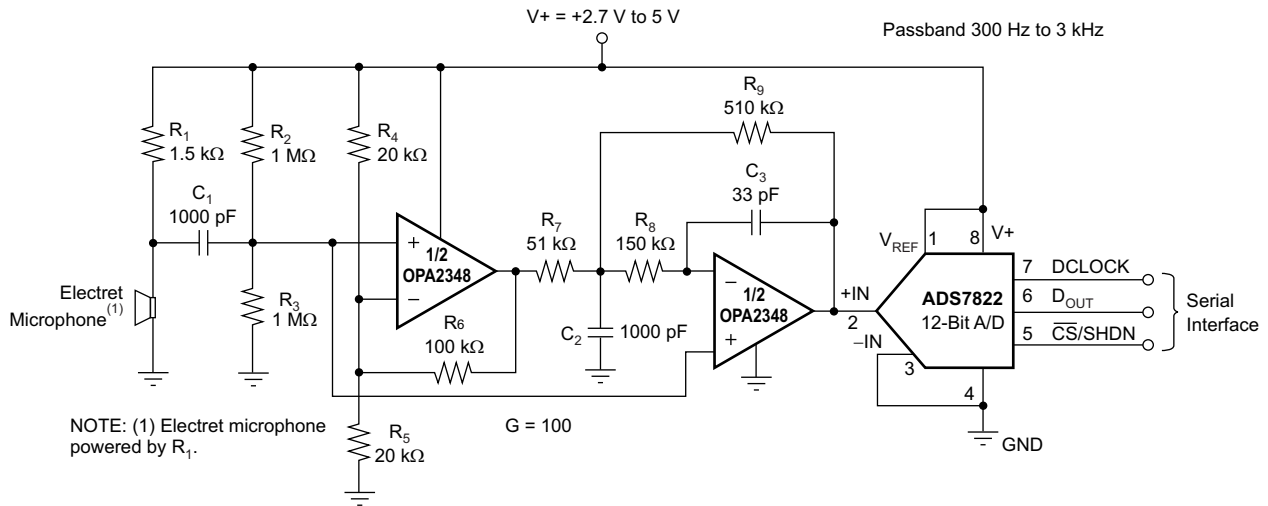
图 25 显示了采用基本同相配置来驱动 ADS7822 的 OPA348。ADS7822 是一款采用 MSOP-8 封装的 12 位低功耗采样转换器。与 OPA348 低功耗微型封装一起使用时，该组合极适合空间有限的低功耗应用。在该配置中，ADC 输入上的 RC 网络可用于提供抗混叠滤波器和电荷注入电流。



Copyright © 2016, Texas Instruments Incorporated

图 25. 采用同相配置来驱动 ADS7822 的 OPA348

图 26 说明了在语音带通滤波数据采集系统中驱动 ADS7822 的 OPA2348。该小尺寸、低成本解决方案为与驻极体麦克风直接相连的接口提供必需的放大和信号调节。该电路的 $V_S = 2.7V$ 至 $5V$ ，静态电流典型值小于 $250\mu A$ 。

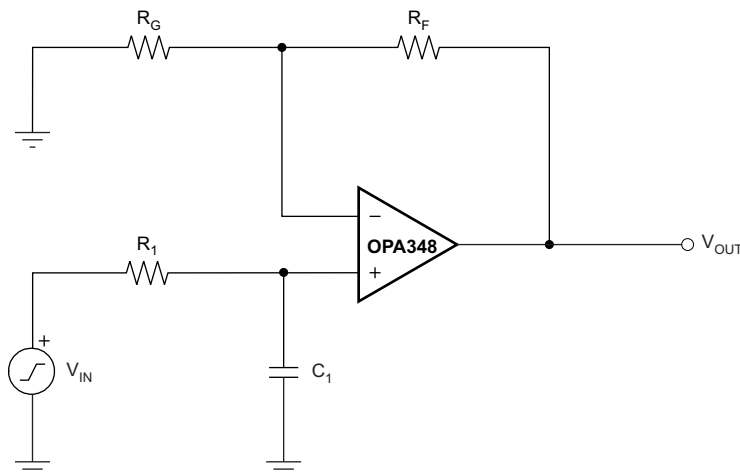


Copyright © 2016, Texas Instruments Incorporated

图 26. 作为语音带通滤波数据采集系统的 OPA2348

8.2 典型应用

图 27 显示了典型同相应用中的 OPA348，其输入信号带宽由输入低通滤波器进行限制。



Copyright © 2016, Texas Instruments Incorporated

图 27. 单极低通滤波器

公式 1 和公式 2 显示了低通截止频率和低频增益与放大器周围的无源元件之间的关系。

$$f_{-3\text{dB}} = \frac{1}{2\pi R_1 C_1} \quad (1)$$

$$\frac{V_{\text{OUT}}}{V_{\text{IN}}} = \left(1 + \frac{R_F}{R_G}\right) \left(\frac{1}{1 + sR_1 C_1}\right) \quad (2)$$

8.2.1 设计要求

当接收到低电平信号时，经常需要限制即将进入系统的信号的带宽。建立这个受限带宽的最简单的方法是在放大器的同相端子上放置一个 RC 滤波器，如 图 27 中所示。如果需要更陡的衰减水平，则可以使用双极或更高阶的滤波器。

8.2.2 详细设计流程

该电路的设计目标包括以下参数：

- 10 V/V (20dB) 的同相增益
- 设计在 15.9kHz 和 159Hz 频率下具有 -3dB 滚降的单极响应电路
- 修改设计，将衰减水平提高至 -40dB/十倍频 (Sallen-Key 滤波器)

使用以下设计值：

- $C_1 = 0\text{nF}$ 、 10nF 、 $1\mu\text{F}$
- $R_1 = 1\text{k}\Omega$
- $R_G = 10\text{k}\Omega$
- $R_F = 90\text{k}\Omega$

典型应用 (接下页)

图 28 显示了 OPA348 的输出电压如何随频率而变化, 在 R_1 具有 $1\text{k}\Omega$ 恒定值的情况下, 频率取决于 C_1 的值。在不对输入信号 ($C_1 = 0$) 进行任何滤波的情况下, -3dB 有效带宽是 OPA348 单位增益带宽和闭环增益的函数, 即 $f_{(-3\text{dB})} = \text{UGBW}/A_{\text{CL}}$, 其中 A_{CL} 是闭环增益, UGBW 表示单位增益带宽。因此, 在闭环增益 = 10 的情况下, $f_{(-3\text{dB})} = 1\text{MHz}/10 = 100\text{kHz}$; 请参阅图 28。

要进一步限制输出带宽, 必须选择合适的 C_1 : 在 $C_1 = 10\text{nF}$ 的情况下, $f_c = \frac{1}{2\pi \times R_1 C_1} = \frac{1}{2\pi \times 1^3 \times 1^{-8}} = 15.9\text{kHz}$ 。

要进一步限制带宽, 必须使用更大的 C_1 :

选择 $C_1 = 1\mu\text{F}$, $f_c = \frac{1}{2\pi \times R_1 C_1} = \frac{1}{2\pi \times 1^3 \times 1^{-6}} = 159\text{Hz}$ 。请参阅图 28。

8.2.3 应用曲线

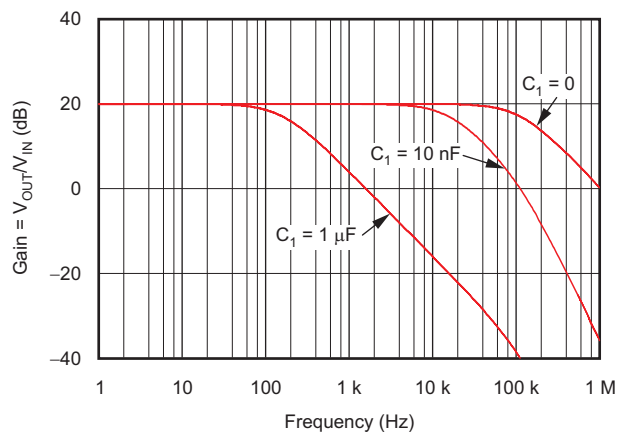
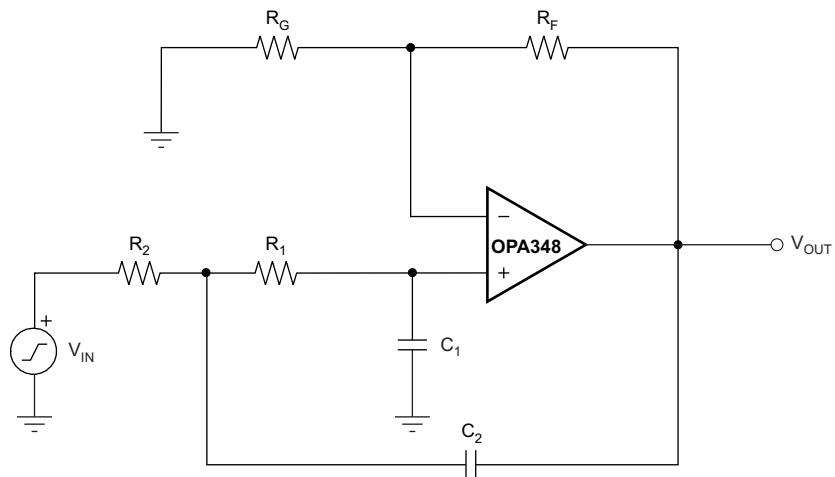


图 28. OPA348 单极交流增益与频率响应间的关系

如果需要更多的衰减, 则需要多个极点滤波器。对于此任务, 可使用 Sallen-Key 滤波器, 如图 29 所示。为了获得最佳结果, 放大器必须具有至少比滤波器截止频率高 10 倍的有效带宽。不遵守这一准则会导致放大器出现相移, 进而会导致滤波器带宽精度下降。此外, 为了最大程度地减小总体滤波器截止频率上多个 RC 对之间的负载效应, 应选择 $R = 10 \times R_1$ 和 $C_2 = C_1/10$; 请参阅图 29。



Copyright © 2016, Texas Instruments Incorporated

图 29. 双极、低通 Sallen-Key 滤波器

公式 3、公式 4 和公式 5 显示了低通截止频率、滤波器传递函数和低频增益与周围无源元件之间的关系。

典型应用 (接下页)

$$f_c = \frac{1}{2\pi\sqrt{R_1 C_1 R_2 C_2}} \tag{3}$$

$$\frac{V_{OUT(s)}}{V_{IN(s)}} = \frac{G(2\pi f_c)^2}{s^2 + 2\zeta(2\pi f_c)s + (2\pi f_c)^2} \tag{4}$$

$$G = \frac{R_G + R_F}{R_G} \tag{5}$$

使用以下设计值：

- $C_1 = 10\text{nF}$, $C_2 = 1\text{nF}$
- $R_1 = 1\text{k}\Omega$, $R_2 = 10\text{k}\Omega$
- $R_G = 10\text{k}\Omega$
- $R_F = 90\text{k}\Omega$

图 30 显示了针对不同 RC 值的 Sallen-Key 滤波器二阶响应：对于上面的 R 和 C 值，

$$f_c = \frac{1}{2\pi\sqrt{R_1 C_1 R_2 C_2}} = \frac{1}{2\pi\sqrt{1^3 \times 1^{-8} \times 1^4 \times 1^{-9}}} = 15.9\text{kHz}$$

要进一步显示带宽，必须使用更大的 RC 值：在电阻器保持不变的情况下，将 C 增大 100 倍 (如 $C_1 = 1\mu\text{F}$, $C_2 =$

$0.1\mu\text{F}$) 将导致二阶滚降 ($f_c = \frac{1}{2\pi\sqrt{R_1 C_1 R_2 C_2}} = \frac{1}{2\pi\sqrt{1^3 \times 1^{-6} \times 1^4 \times 1^{-7}}} = 159\text{Hz}$)。请参阅图 30。

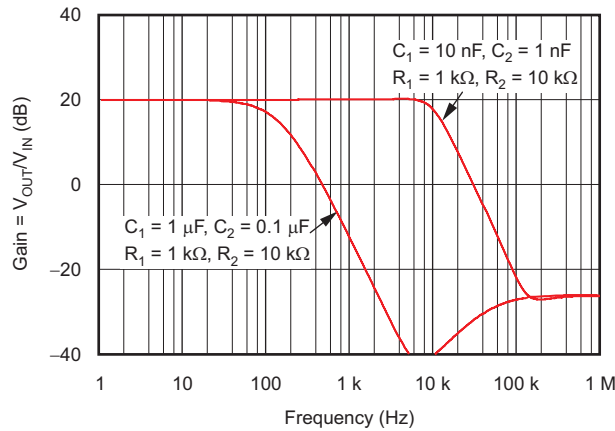


图 30. OPA348 双极、低通 Sallen-Key 交流增益与频率响应间的关系

9 电源建议

OPAx348 的额定工作电压范围是 2.1V 到 5.5V ($\pm 1.05V$ 到 $\pm 2.75V$)；许多规格在 -40°C 至 $+125^{\circ}\text{C}$ 的温度下适用。[典型特性](#) 中介绍了随工作电压或温度的变化而明显变化的参数。

CAUTION

电源电压超过 5.5V 可能对器件造成永久损坏 (请参阅 [绝对最大额定值](#) 表)。

将 $0.1\mu\text{F}$ 旁路电容器置于电源引脚附近，以减小从高噪声电源或高阻抗电源中耦合进来的误差。有关旁路电容器放置的更多详细信息，请参阅 [布局](#)。

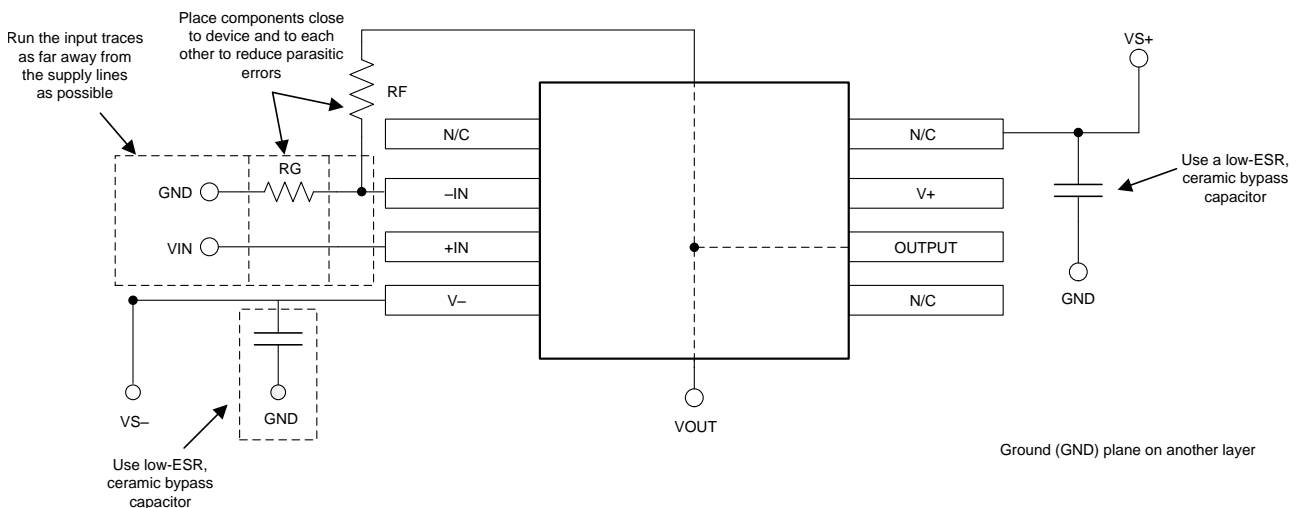
10 布局

10.1 布局指南

为了实现器件的最佳运行性能，应使用良好的 PCB 布局规范，包括：

- 在每个电源引脚和接地端之间连接低等效串联电阻 (ESR) $0.1\mu\text{F}$ 陶瓷旁路电容器，放置位置尽量靠近器件。从 $V+$ 到接地端的单个旁路电容器适用于单通道电源 应用的需求。
 - 噪声可以通过整个电路的电源引脚和运算放大器本身传入模拟电路。旁路电容为局部模拟电路提供低阻抗电源，用于降低耦合噪声。
- 确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流。将电路的模拟和数字部分单独接地是最简单和最有效的噪声抑制方法之一。多层 PCB 中通常将一层或多层专门作为接地层。接地平面有助于散热和降低 EMI 噪声拾取。
- 为降低寄生耦合，输入迹线应尽量远离电源或输出迹线。如果这些走线不能保持分离，则敏感走线与有噪声走线垂直相交比平行更好。
- 外部组件的位置应尽量靠近器件。如图 31 所示，使 RF 和 RG 靠近反相输入可最大限度减小寄生电容。
- 尽可能缩短输入走线。切记：输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。这样可显著减少附近走线在不同电势下产生的泄漏电流。
- 在组装 PCB 板之后对其进行清洁，以获得最佳性能。
- 任何精密集成电路都可能因湿气渗入塑料封装中而出现性能变化。在执行任何 PCB 水清洁流程之后，将 PCB 组件烘干，以去除清洁时渗入器件封装中的湿气。大多数情形下，清洗后在 85°C 下低温烘干 30 分钟即可。

10.2 布局示例



Copyright © 2017, Texas Instruments Incorporated

图 31. 同相配置的运算放大器电路板布局

11 器件和文档支持

11.1 器件支持

11.1.1 开发支持

11.1.1.1 TINA-TI™ (免费下载)

TINA™是一款简单、功能强大且易于使用的电路仿真程序，此程序基于 SPICE 引擎。TINA-TI™ 是 TINA 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI 可从 Analog eLab Design Center (模拟电子实验室设计中心) [免费下载](#)，它提供全面的后续处理能力，使得用户能够以多种方式形成结果。虚拟仪器提供选择输入波形和探测电路节点、电压和波形的功能，从而创建一个动态的快速入门工具。

注

这些文件需要安装 TINA 软件 (由 DesignSoft™提供) 或者 TINA-TI 软件。请从 [TINA-TI 文件夹](#) 中下载免费的 TINA-TI 软件。

11.1.1.2 DIP 适配器 EVM

DIP 适配器 EVM 工具提供了一种针对小型表面贴装器件进行原型设计的简易低成本方法。评估工具适用于以下 TI 封装: D 或 U (SOIC-8)、PW (TSSOP-8)、DGK (MSOP-8)、DBV (SOT23-6、SOT23-5 和 SOT23-3)、DCK (SC70-6 和 SC70-5) 和 DRL (SOT563-6)。DIP 适配器 EVM 也可搭配端子板使用或直接与现有电路相连。

11.1.1.3 通用运放 EVM

通用运放 EVM 是一系列通用空白电路板，可简化采用各种器件封装类型的电路板原型设计。借助评估模块电路板设计，可以轻松快速地构造多种不同电路。共有 5 个模型可供选用，每个模型都对应一种特定封装类型。支持 PDIP、SOIC、MSOP、TSSOP 和 SOT-23 封装。

注

这些电路板均为空白电路板，用户必须自行提供相关器件。TI 建议您在订购通用运算放大器 EVM 时申请几个运算放大器器件样品。

11.1.1.4 TI 高精度设计

TI 高精度设计的模拟设计方案是由 TI 公司高精度模拟实验室设计应用专家创建的模拟解决方案，提供了许多实用电路的工作原理、组件选择、仿真、完整印刷电路板 (PCB) 电路原理图和布局布线、物料清单以及性能测量结果。欲获取 TI 高精度设计，请访问 <http://www.ti.com.cn/www/analog/precision-designs/>。

11.1.1.5 WEBENCH®滤波器设计器

WEBENCH® 滤波器设计器是一款简单、功能强大且便于使用的有源滤波器设计程序。借助 WEBENCH 滤波器设计器，用户可使用精选 TI 运算放大器和 TI 供应商合作伙伴提供的无源组件来构建最佳滤波器设计方案。

WEBENCH® 设计中心以基于网络的工具形式提供 **WEBENCH® 滤波器设计器**。用户通过该工具可在数分钟内完成多级有源滤波器解决方案的设计、优化和仿真。

11.2 文档支持

11.2.1 相关文档

使用 OPAx348 时，建议参考下列相关文档。所有这些文档都可从 www.ti.com 上下载 (除非另有说明)。

- 《[使用斜率检测实现硬件起搏](#)》(SLAU511)。
- 《[手机银行卡读卡器应用报告](#)》(TIDU399)。
- 《[TPS61040 逆变器设计](#)》(SLVA008)。
- 《[运算放大器性能分析](#)》(SBOA054)。

文档支持 (接下页)

- 《运算放大器的单电源运行》(SBOA059)。
- 《放大器调优》(SBOA067)。

11.3 接收文档更新通知

要接收文档更新通知，请导航至 TI.com.cn 上的器件产品文件夹。点击右上角的提醒我 (Alert me) 注册后，即可每周定期收到已更改的产品信息。有关更改的详细信息，请查阅已修订文档中包含的修订历史记录。

11.4 相关链接

表 1 列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件以及申请样片或购买产品的快速访问链接。

表 1. 相关链接

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
OPA348	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA2348	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA4348	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处

11.5 接收文档更新通知

要接收文档更新通知，请导航至 TI.com.cn 上的器件产品文件夹。单击右上角的通知我 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.6 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

TI E2E™ 在线社区 *TI 的工程师对工程师 (E2E) 社区*。此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。

设计支持 *TI 参考设计支持* 可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。

11.7 商标

TINA-TI, E2E are trademarks of Texas Instruments.
 WEBENCH is a registered trademark of Texas Instruments.
 TINA, DesignSoft are trademarks of DesignSoft, Inc.
 All other trademarks are the property of their respective owners.

11.8 静电放电警告



ESD 可能会损坏该集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理措施和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.9 术语表

SLYZ022 — *TI 术语表*。

这份术语表列出并解释术语、缩写和定义。

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请参阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2348AID	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 2348A
OPA2348AIDCNR	Active	Production	SOT-23 (DCN) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	B48
OPA2348AIDCNT	Active	Production	SOT-23 (DCN) 8	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	B48
OPA2348AIDCNTG4	Active	Production	SOT-23 (DCN) 8	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	B48
OPA2348AIDGK	Active	Production	VSSOP (DGK) 8	80 TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	OUTQ
OPA2348AIDGKR	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU SN NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	OUTQ
OPA2348AIDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 2348A
OPA348AID	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 348A
OPA348AIDBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A48
OPA348AIDBVT	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A48
OPA348AIDCKR	Active	Production	SC70 (DCK) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	S48
OPA348AIDCKRG4	Active	Production	SC70 (DCK) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	S48
OPA348AIDCKT	Active	Production	SC70 (DCK) 5	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	S48
OPA348AIDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 348A
OPA4348AID	Active	Production	SOIC (D) 14	50 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4348A
OPA4348AIDR	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4348A
OPA4348AIPWR	Active	Production	TSSOP (PW) 14	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 4348A
OPA4348AIPWT	Active	Production	TSSOP (PW) 14	250 SMALL T&R	Yes	NIPDAU NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 4348A

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

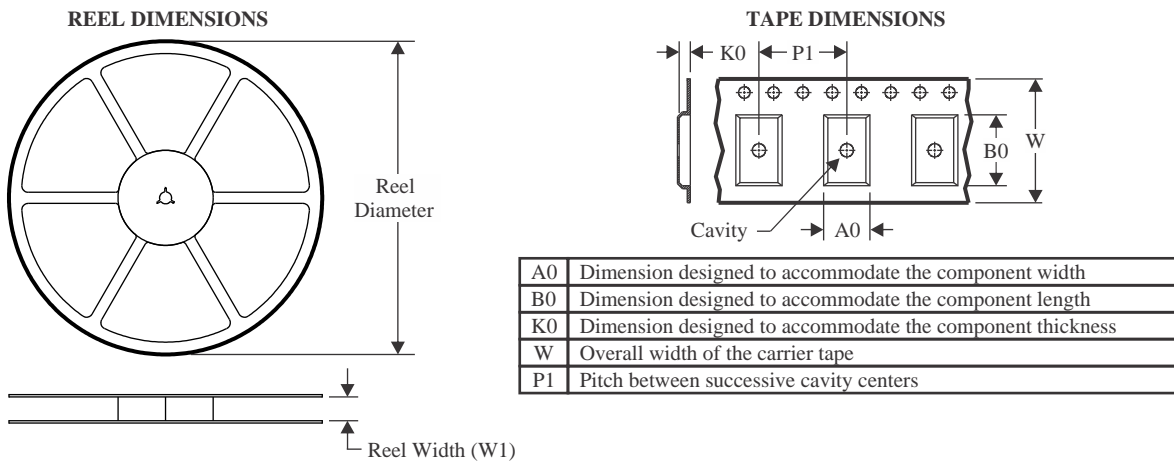
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF OPA2348, OPA348, OPA4348 :

- Automotive : [OPA2348-Q1](#), [OPA348-Q1](#), [OPA4348-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2348AIDCNR	SOT-23	DCN	8	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA2348AIDCNT	SOT-23	DCN	8	250	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA2348AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2348AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA348AIDBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
OPA348AIDBVT	SOT-23	DBV	5	250	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA348AIDBVT	SOT-23	DBV	5	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
OPA348AIDCKR	SC70	DCK	5	3000	179.0	8.4	2.2	2.5	1.2	4.0	8.0	Q3
OPA348AIDCKT	SC70	DCK	5	250	179.0	8.4	2.2	2.5	1.2	4.0	8.0	Q3
OPA348AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA4348AIDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
OPA4348AIPWR	TSSOP	PW	14	2500	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
OPA4348AIPWT	TSSOP	PW	14	250	180.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2348AIDCNR	SOT-23	DCN	8	3000	200.0	183.0	25.0
OPA2348AIDCNT	SOT-23	DCN	8	250	200.0	183.0	25.0
OPA2348AIDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA2348AIDR	SOIC	D	8	2500	356.0	356.0	35.0
OPA348AIDBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
OPA348AIDBVT	SOT-23	DBV	5	250	195.0	200.0	45.0
OPA348AIDBVT	SOT-23	DBV	5	250	445.0	220.0	345.0
OPA348AIDCKR	SC70	DCK	5	3000	200.0	183.0	25.0
OPA348AIDCKT	SC70	DCK	5	250	200.0	183.0	25.0
OPA348AIDR	SOIC	D	8	2500	356.0	356.0	35.0
OPA4348AIDR	SOIC	D	14	2500	356.0	356.0	35.0
OPA4348AIPWR	TSSOP	PW	14	2500	356.0	356.0	35.0
OPA4348AIPWT	TSSOP	PW	14	250	210.0	185.0	35.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
OPA2348AID	D	SOIC	8	75	506.6	8	3940	4.32
OPA2348AIDG4	D	SOIC	8	75	506.6	8	3940	4.32
OPA2348AIDGK	DGK	VSSOP	8	80	330	6.55	500	2.88
OPA348AID	D	SOIC	8	75	506.6	8	3940	4.32
OPA4348AID	D	SOIC	14	50	506.6	8	3940	4.32

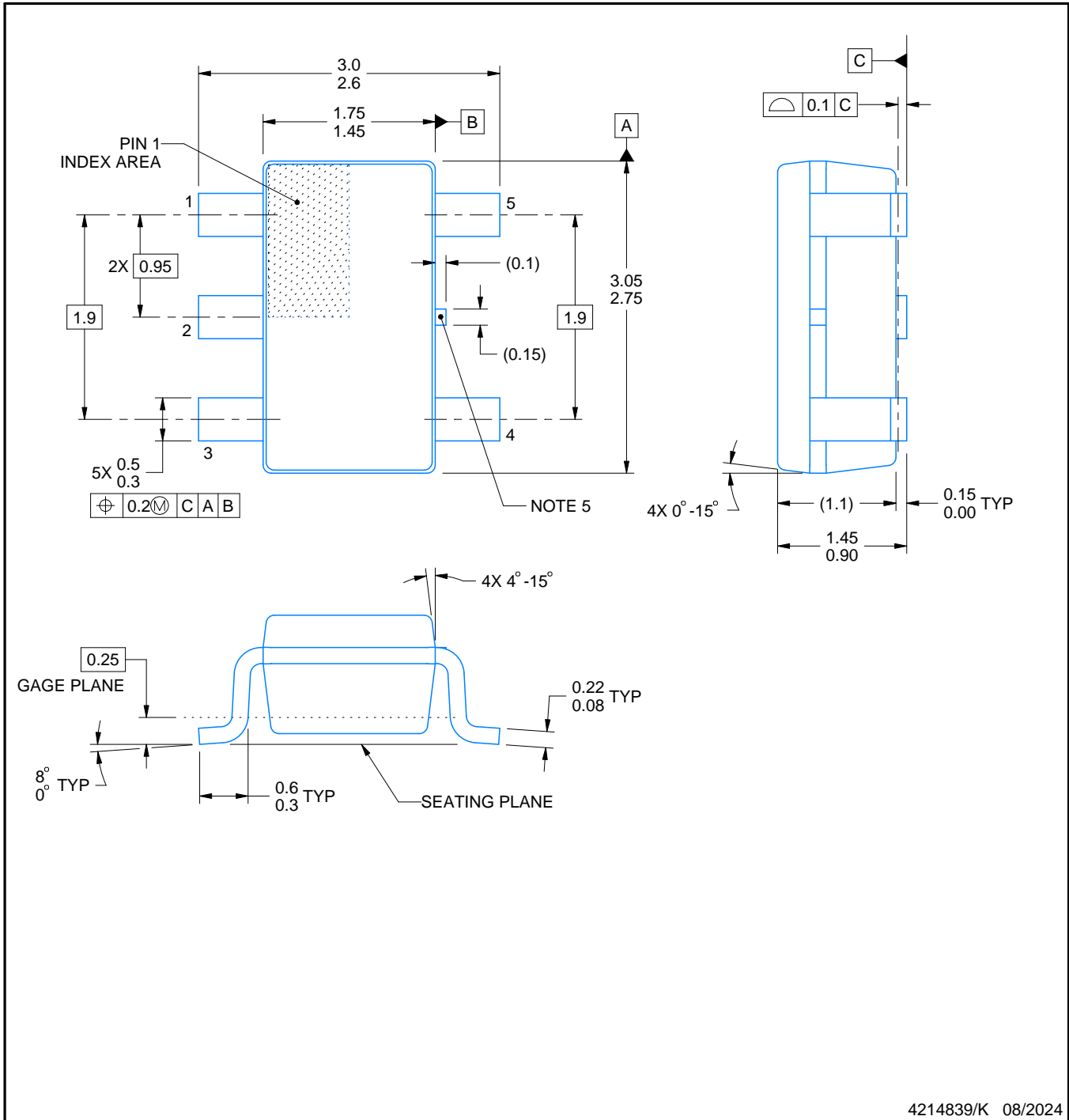


DBV0005A

PACKAGE OUTLINE

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

4214839/K 08/2024

EXAMPLE BOARD LAYOUT

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



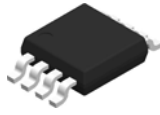
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

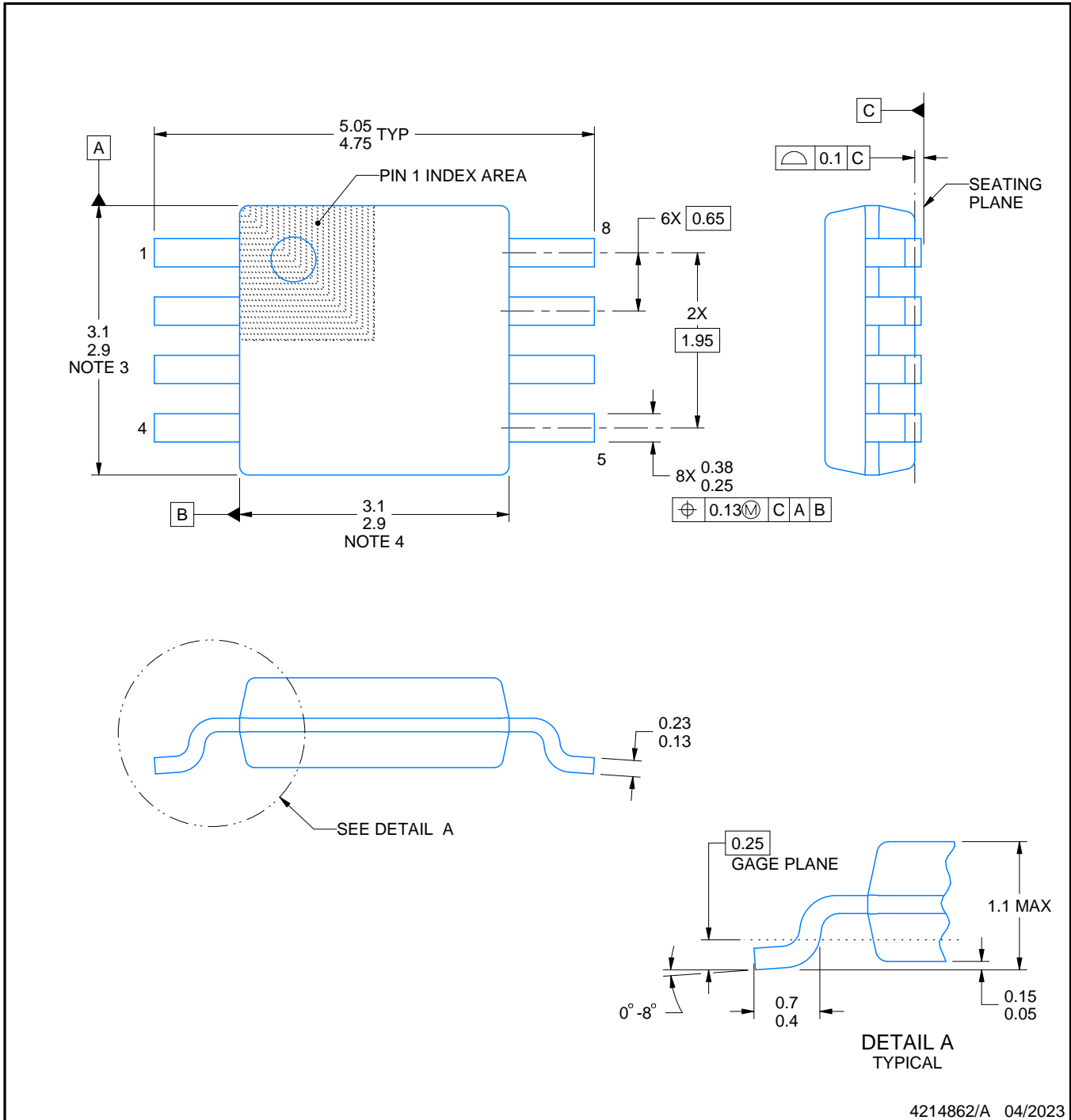
DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

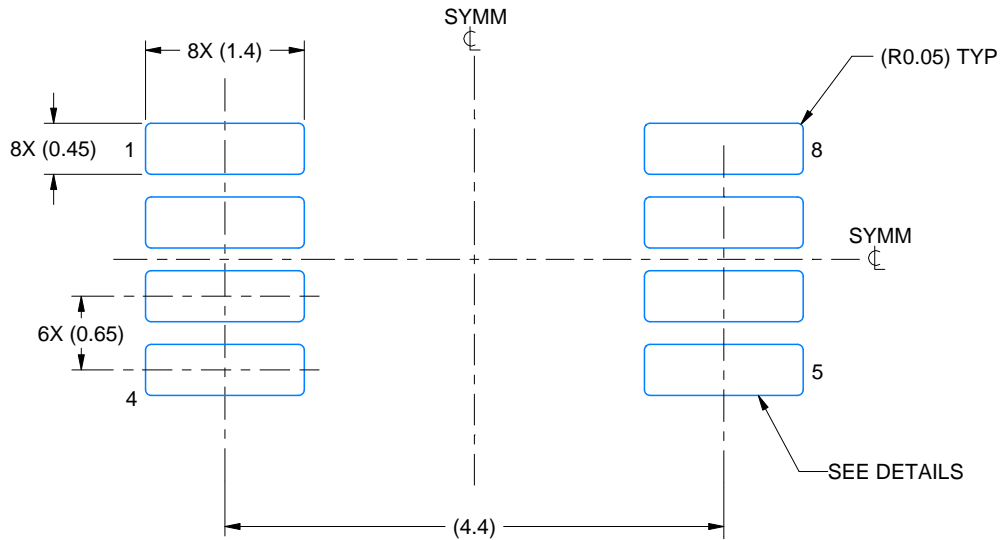
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

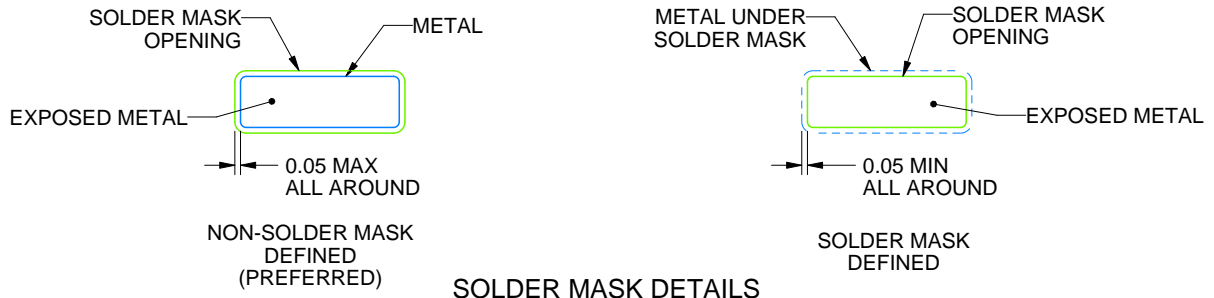
DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

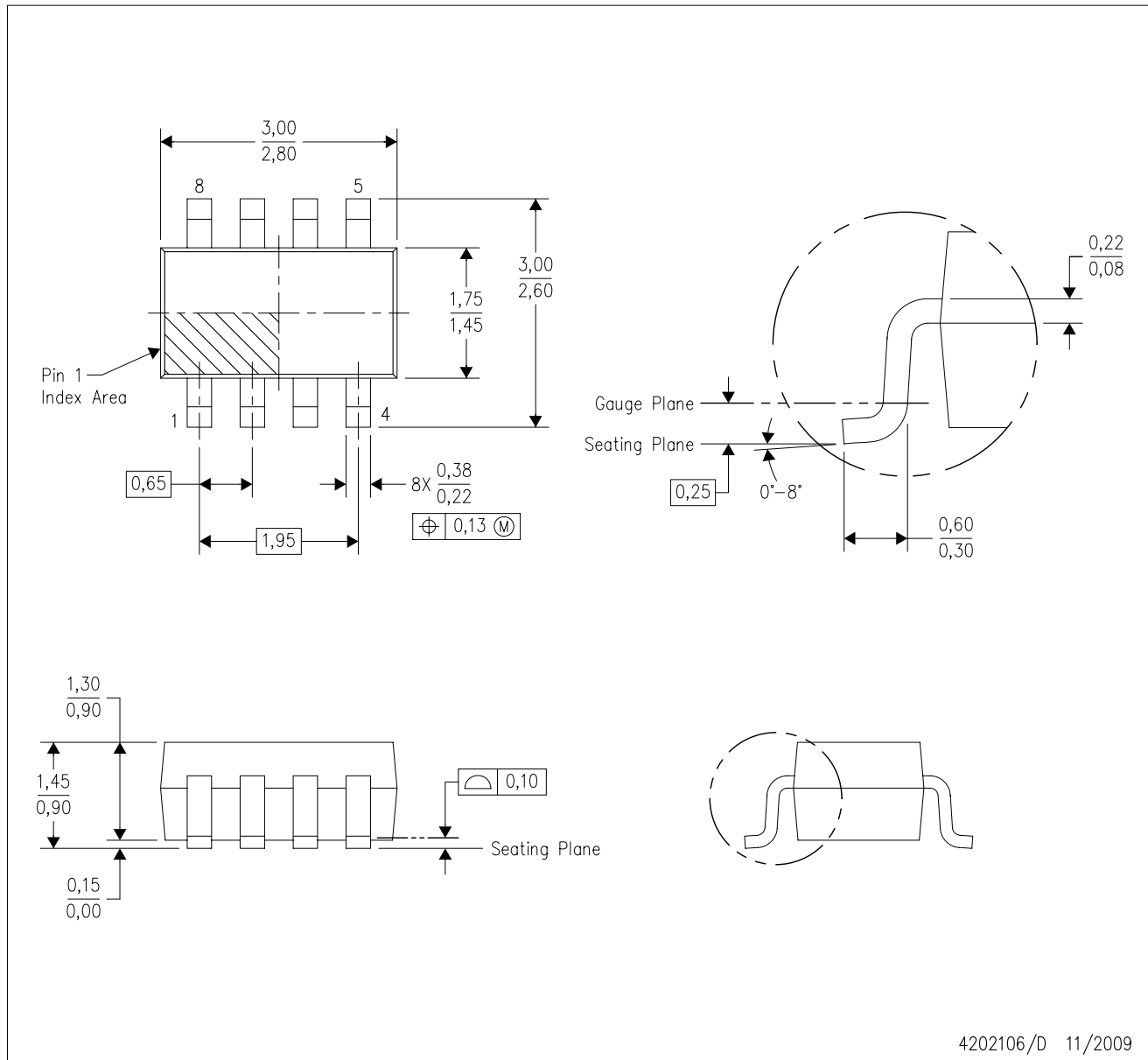
4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

DCN (R-PDSO-G8)

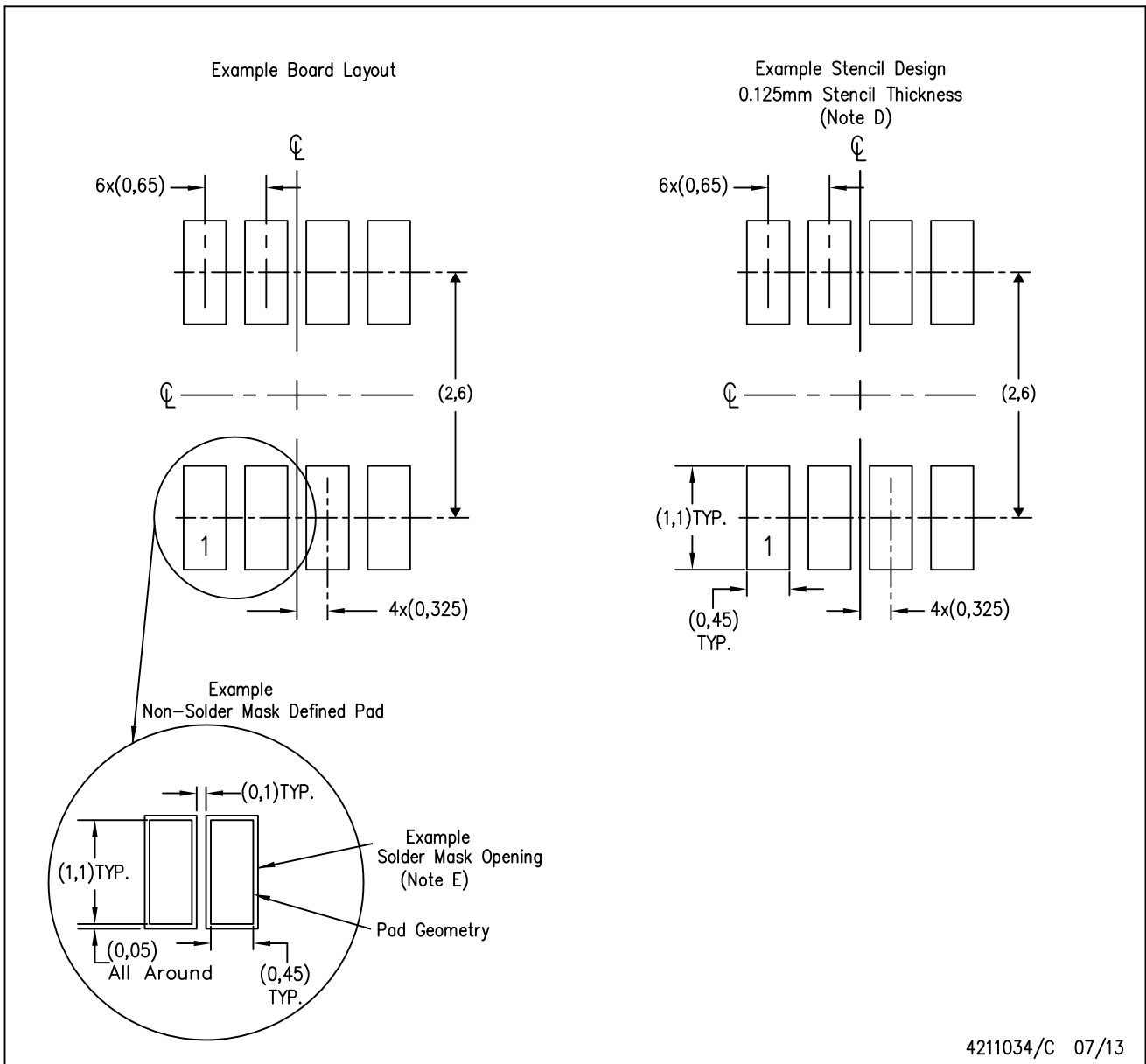
PLASTIC SMALL-OUTLINE PACKAGE (DIE DOWN)



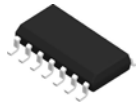
- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Package outline exclusive of metal burr & dambar protrusion/intrusion.
 - D. Package outline inclusive of solder plating.
 - E. A visual index feature must be located within the Pin 1 index area.
 - F. Falls within JEDEC MO-178 Variation BA.
 - G. Body dimensions do not include flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.

DCN (R-PDSO-G8)

PLASTIC SMALL-OUTLINE PACKAGE (DIE DOWN)



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525.
 - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

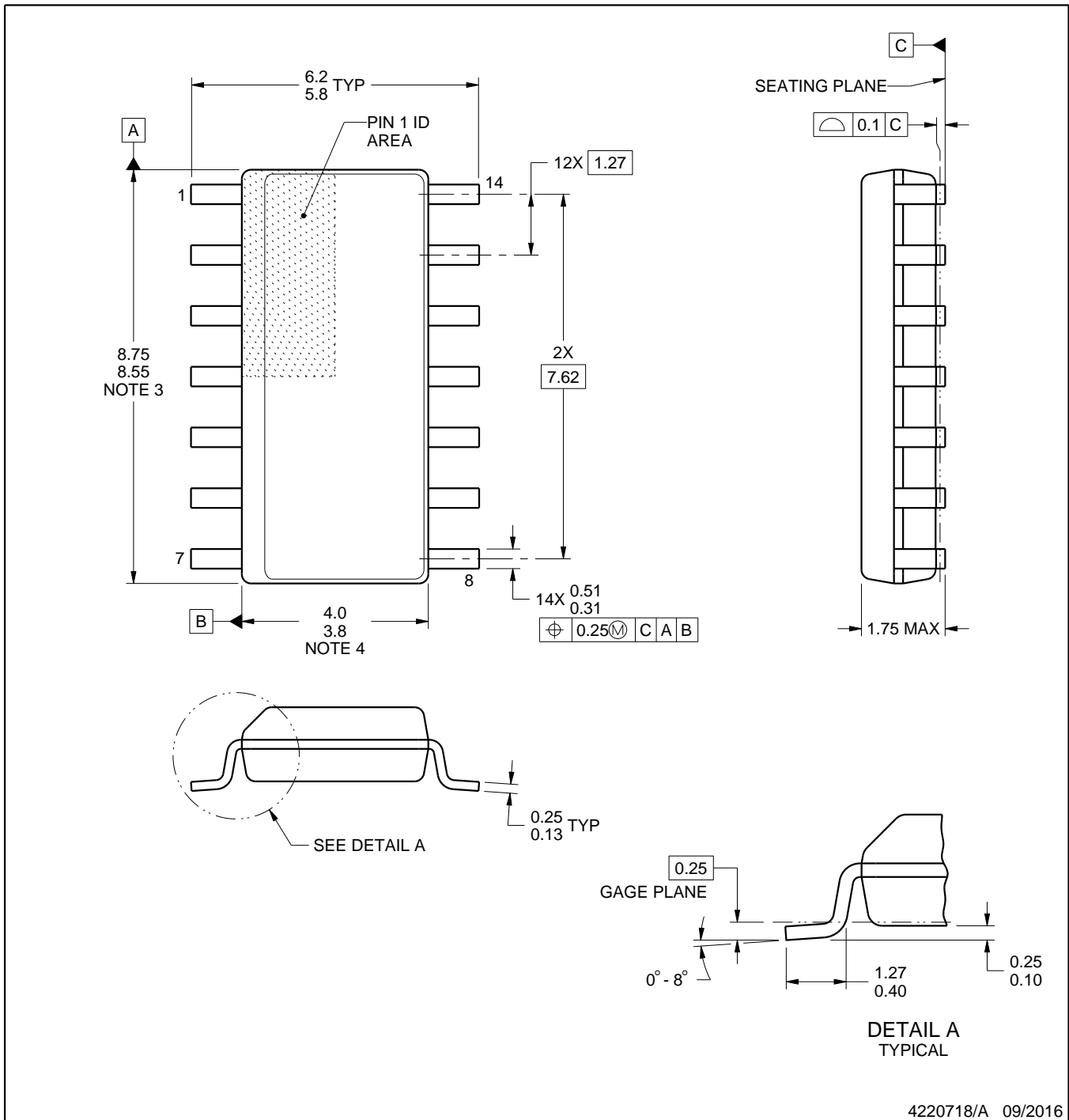


D0014A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

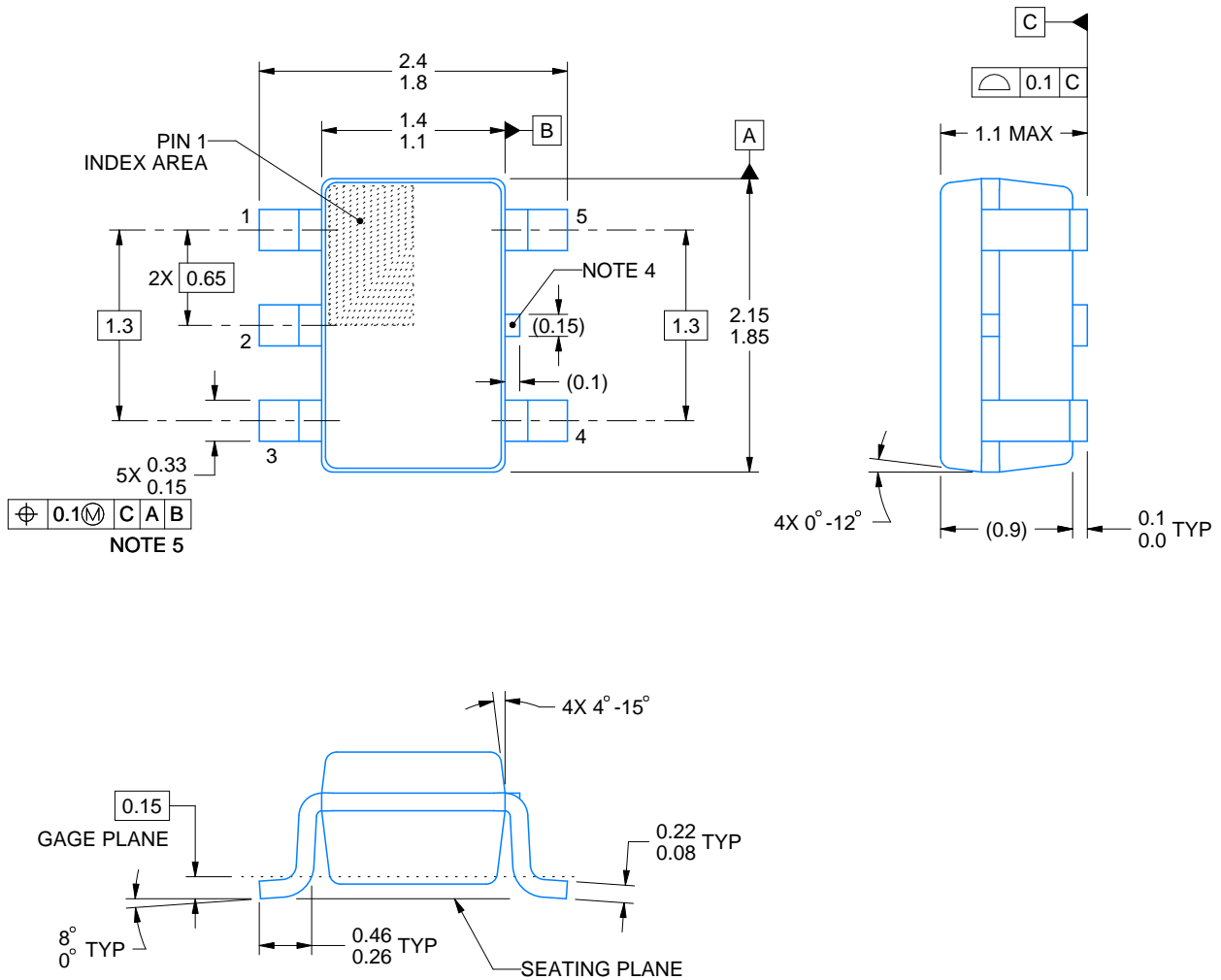
DCK0005A



PACKAGE OUTLINE

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



4214834/G 11/2024

NOTES:

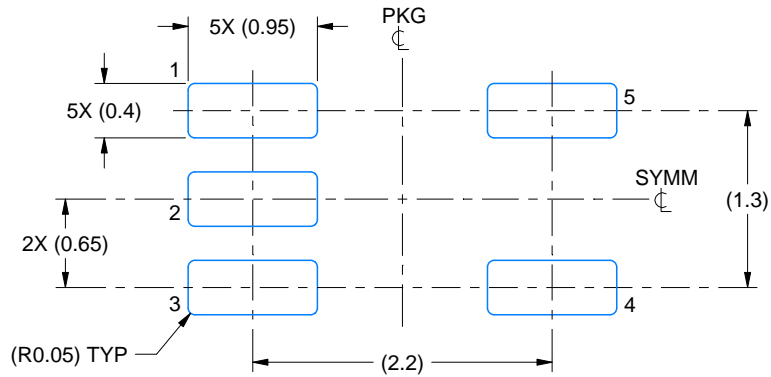
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side

EXAMPLE BOARD LAYOUT

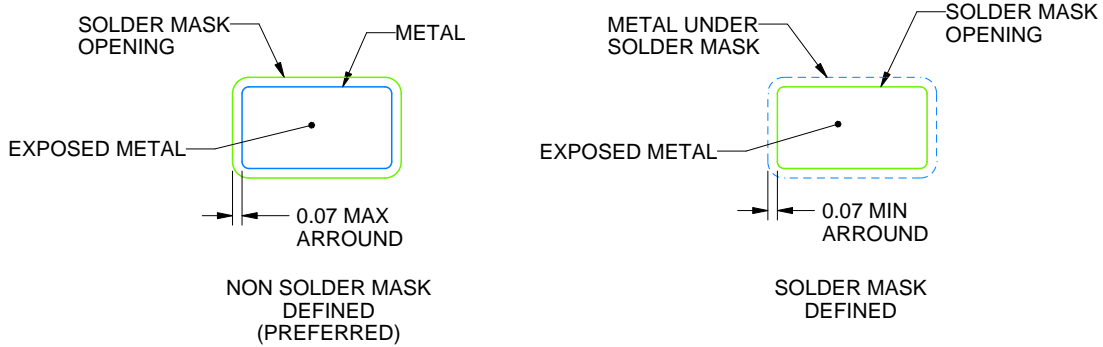
DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

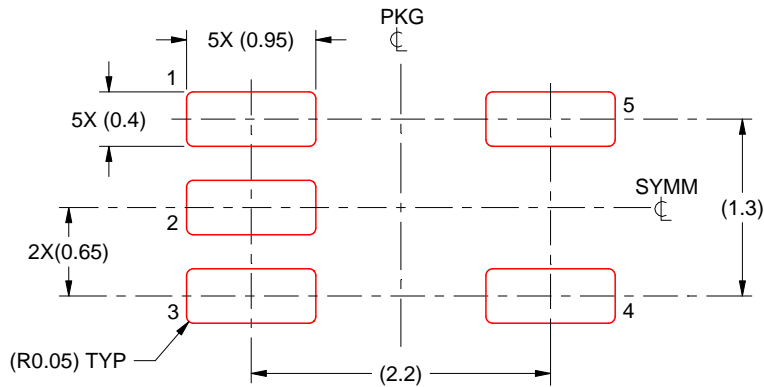
- 7. Publication IPC-7351 may have alternate designs.
- 8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE: 18X

4214834/G 11/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.



D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed $.006$ [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

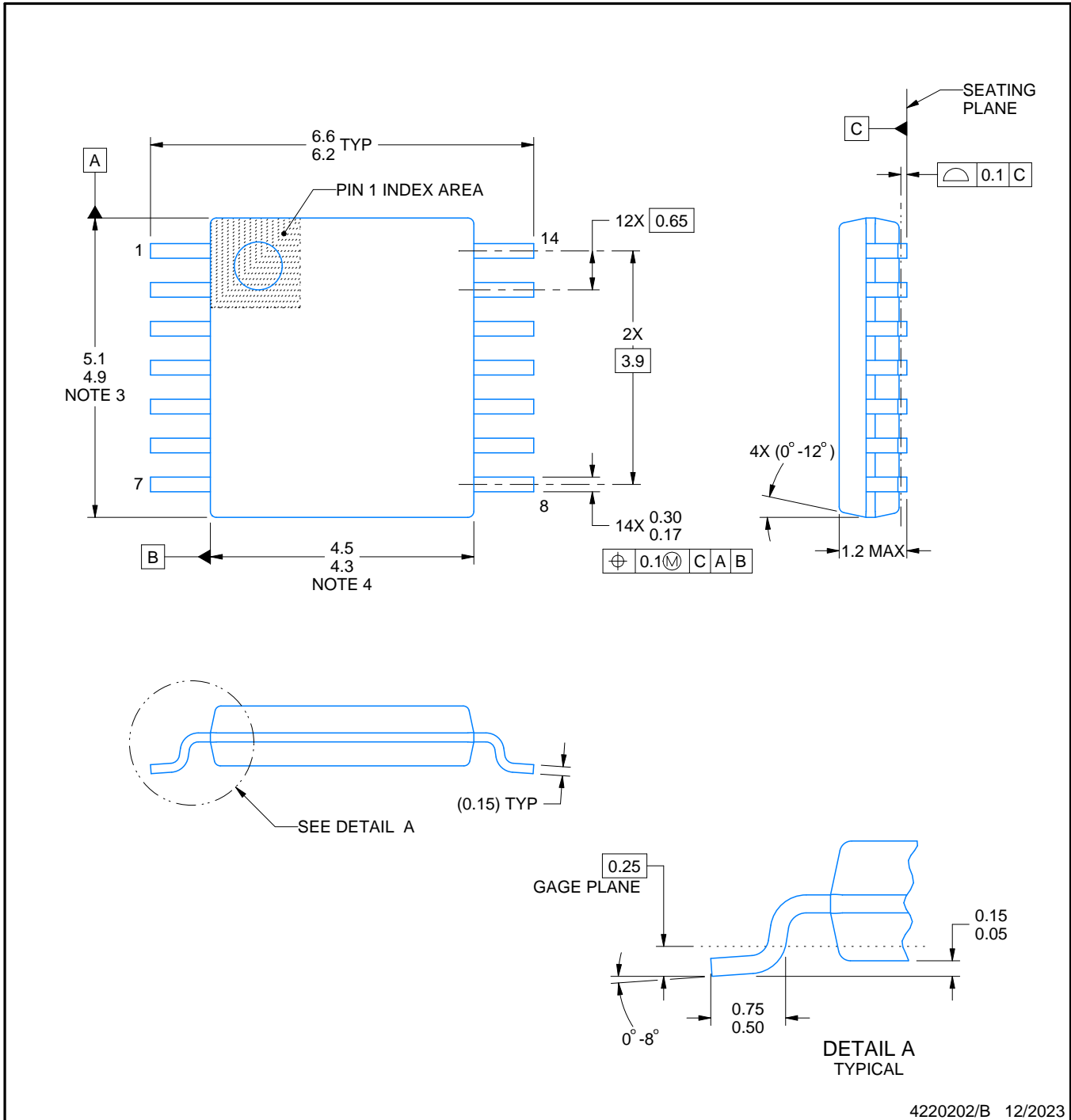
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PW0014A



PACKAGE OUTLINE
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

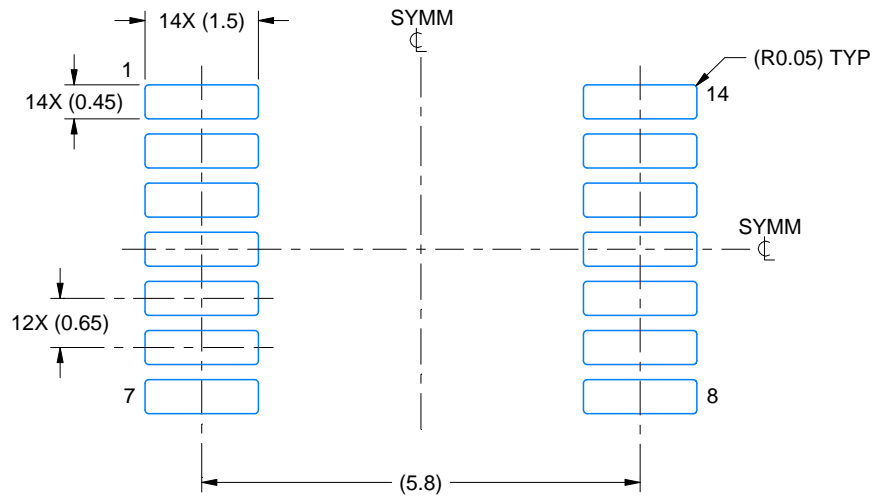
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

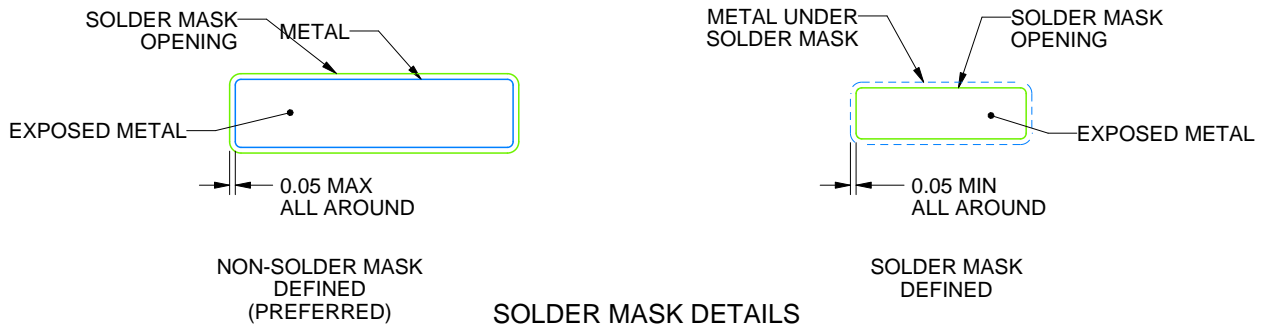
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

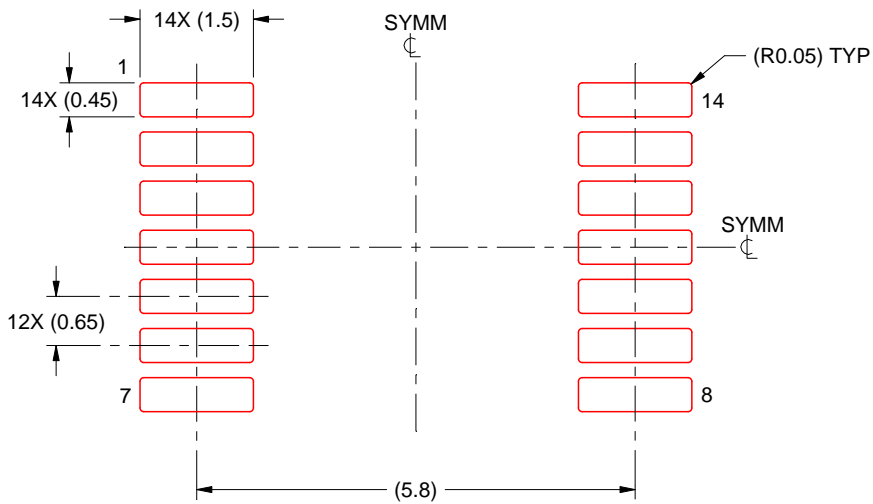
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司