

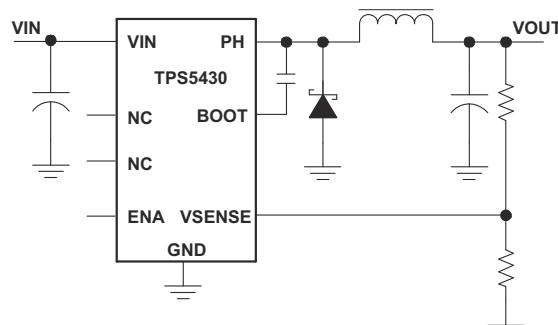
TPS5430-Q1 汽车类 3A 宽输入范围降压转换器

1 特性

- 符合汽车应用要求
- 宽输入电压范围：5.5V 至 36V
- 高达 3A 的连续 (4A 峰值) 输出电流
- 通过 100mΩ 集成式 MOSFET 开关实现高达 95% 的高效率
- 宽输出电压范围：可调节为低至 1.22V，初始精度为 1.5%
- 内部补偿可最大限度减少外部器件数量
- 适用于小型滤波器尺寸的固定 500kHz 开关频率
- 通过输入电压前馈改进线路稳压和瞬态响应
- 系统受过流限制、过压保护和热关断的保护
- 40°C 至 125°C 的工作结温范围
- 采用小型热增强型 8 引脚 SOIC PowerPAD™ 集成电路封装
- 使用 TPS5430-Q1 并借助 WEBENCH® Power Designer 创建定制稳压器设计方案

2 应用

- 车用音频电源
- 大功率 LED 电源、电池充电器
- 12V 和 24V 供电系统



简化版原理图

3 说明

TPS5430-Q1 是一款高输出电流 PWM 转换器，集成了低电阻高侧 N 沟道 MOSFET。具有所列特性的基板上还包括高性能电压误差放大器 (可在瞬态条件下提供高稳压精度)、欠压锁定 (UVLO) 电路 (用于防止在输入电压达到 5.5V 前启动)、内部设置的慢启动电路 (用于限制浪涌电流) 以及电压前馈电路 (用于改进瞬态响应)。通过使用使能 (ENA) 引脚，关断电源电流通常可减少到 15 μA。其他特性包括高电平有效使能端、过流限制、过压保护 (OVP) 和热关断。为降低设计复杂性并减少外部元件数量，TPS5430-Q1 反馈环路进行了内部补偿。TPS5430-Q1 可调节多种电源，包括 24V 总线。

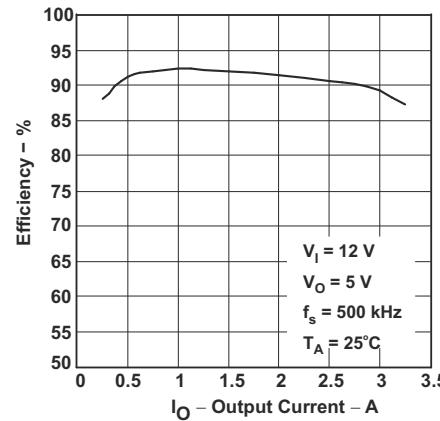
TPS5430-Q1 器件采用易于使用的热增强型 8 引脚 SOIC PowerPAD 集成电路封装。TI 提供评估模块和 WEBENCH 软件工具，有助于快速实现高性能电源设计，可满足迫切的设备开发周期要求。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TPS5430-Q1	DDA (SO PowerPAD , 8)	4.9mm x 3.9mm

(1) 有关更多信息，请参阅 [节 10](#)。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



效率与输出电流之间的关系



本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本 (控制文档)。

内容

1 特性	1	7 应用和实施	11
2 应用	1	7.1 应用信息	11
3 说明	1	7.2 典型应用	11
4 引脚配置和功能	3	7.3 电源相关建议	20
5 规格	4	7.4 布局	20
5.1 绝对最大额定值	4	8 器件和文档支持	22
5.2 ESD Ratings	4	8.1 器件支持	22
5.3 建议工作条件	4	8.2 文档支持	22
5.4 热性能信息 (DDA 封装)	4	8.3 接收文档更新通知	22
5.5 电气特性	5	8.4 支持资源	22
5.6 典型特性	6	8.5 商标	22
6 详细说明	8	8.6 静电放电警告	22
6.1 概述	8	8.7 术语表	22
6.2 功能方框图	8	9 修订历史记录	23
6.3 特性说明	9	10 机械、封装和可订购信息	24
6.4 器件功能模式	10		

4 引脚配置和功能

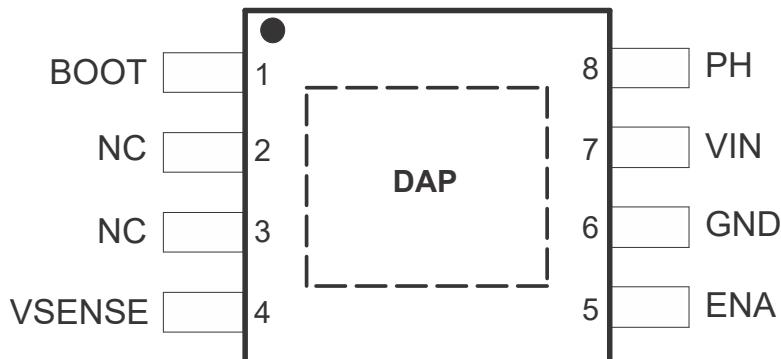


图 4-1. DDA 封装 8 引脚 SOIC (带散热焊盘) 顶视图

表 4-1. 引脚功能

引脚		类型	说明
编号	名称		
1	BOOT	O	高侧 FET 栅极驱动器的升压电容器。从 BOOT 引脚至 PH 引脚连接一个 $0.01 \mu F$ 低 ESR 电容器。
2、3	NC	—	无连接，不是 IO
4	VSENSE	I	稳压器的反馈电压。连接到输出电压分压器。
5	ENA	I	导通和关闭控制。低于 $0.5V$ ，器件停止切换。悬空引脚以启用。
6	GND	—	地。连接至 DAP。
7	VIN	I	输入电源电压。旁路 VIN 引脚至 GND 引脚靠近采用高质量、低 ESR 陶瓷电容器的器件封装。
8	PH	O	高侧功率 MOSFET 的源极。连接至外部电感器和二极管。
—	DAP	—	必须将 GND 引脚连接到外露焊盘才能正常运行。

5 规格

5.1 绝对最大额定值

在工作结温范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
输入电压	VIN ⁽²⁾ 至 GND	-0.3	40	V
输入电压	ENA 至 GND	-0.3	7	V
输入电压	VSENSE 至 GND	-0.3	3	V
输出电压	BOOT 至 PH	-0.3	6	V
输出电压	BOOT 至 GND	-0.3		V
输出电压	PH 至 GND (稳态) ⁽²⁾	-0.6	40	V
输出电压	PH 至 GND (瞬态 < 10ns)	-1.2		V
拉电流	PH		内部受限制	
拉电流	PH 漏电流		10	μA
T _J	工作虚拟结温	-40	150	°C
T _{stg}	贮存温度	-65	150	°C

- (1) 超出绝对最大额定值运行可能会对器件造成损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议工作条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。
- (2) 接近 VIN 引脚的绝对最大额定值可能会导致 PH 引脚上的电压超过绝对最大额定值。

5.2 ESD Ratings

		值	单位
V _(ESD)	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 HBM ESD 分类等级 2 ⁽¹⁾	±2000
		充电器件模型 (CDM)，符合 AEC Q100-011 CDM ESD 分类等级 C5	±750

- (1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议工作条件

在工作结温范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
输入电压	输入电压范围	5.5		36	V
T _J	工作结温	-40		125	°C

5.4 热性能信息 (DDA 封装)

热指标 ⁽¹⁾	TPS5430		单位	
	DDA (HSOIC)			
	8 引脚			
R _{θJA}	结至环境热阻 (TPS5430EVM) ⁽²⁾	45	°C/W	
R _{θJA}	结至环境热阻 (JESD 51-7) ⁽³⁾	42.3	°C/W	
R _{θJC(top)}	结至外壳 (顶部) 热阻	46	°C/W	
R _{θJB}	结至电路板热阻	15	°C/W	
Ψ _{JT}	结至顶部特征参数	5.2	°C/W	
Ψ _{JB}	结至电路板特征参数	15.3	°C/W	
R _{θJC(bot)}	结至外壳 (底部) 热阻	6	°C/W	

- (1) 有关新旧热性能指标的更多信息，请参阅 [半导体和IC封装热指标](#)。
- (2) 请参阅 [EVM 用户指南](#) 电路板布局和其他信息。有关热设计信息，请参阅“最高环境温度”一节。

(3) 此表中给出的 $R_{\theta JA}$ 值仅用于与其他封装的比较，不能用于设计目的。这些值是根据 JEDEC 51-7 计算的，并在 4 层 JEDEC 板上进行了仿真。它们并不代表在实际应用中获得的性能。例如，EVM $R_{\theta JA}$ = 待定 $^{\circ}\text{C}/\text{W}$ 。有关设计信息，请参阅“最高环境温度”一节。

5.5 电气特性

$T_J = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$, $V_{IN} = 5.5\text{V}$ 至 36V 。除非另有说明，否则典型值是 $T_J = 25^{\circ}\text{C}$ 并且 $V_{IN} = 12\text{V}$

参数		测试条件	最小值	典型值	最大值	单位
电源电压 (VIN 引脚)						
$I_Q(VIN)$	VIN 静态电流	非开关，VSENSE = 2V, PH 引脚开路	2	4.4	mA	
$I_{SD(VIN)}$	VIN 关断电源电流	关断，ENA = 0V	15	50	μA	
UVLO						
$V_{IN(UVLO(R))}$	VIN UVLO 上升阈值	V_{VIN} 上升	5.3	5.5	V	
$V_{IN(UVLO(H))}$	VIN UVLO 迟滞		0.35		V	
电压基准						
V_{FB}	FB 电压	$T_J = 25^{\circ}\text{C}$	1.202	1.221	1.239	V
V_{FB}	FB 电压	$T_J = -40^{\circ}\text{C}$ 至 125°C	1.196	1.221	1.245	V
振荡器						
f_{SW}	开关频率		400	500	600	kHz
$t_{ON(min)}$	最小 ON 脉冲宽度。		150	200	ns	
D_{MAX}	最大占空比	$f_{SW} = 500\text{kHz}$	87%	89%		
使能 (ENA 引脚)						
$V_{EN(R)}$	ENA 电压上升阈值		1.3		V	
$V_{EN(F)}$	ENA 电压下降阈值		0.5		V	
$V_{EN(H)}$	ENA 电压迟滞		325		mV	
t_{SS}	内部慢启动时间 (0~100%)		5.4	8	10	ms
过流保护						
$I_{HS(OC)}$	高侧峰值电流限制		4.0	5.0	7.0	A
	重启之前的断续时间		13	16	21	ms
输出 MOSFET						
$R_{DS(on)(HS)}$	高侧 MOSFET 导通电阻	$V_{IN} = 12\text{V}$, $V_{BOOT-SW} = 4.5\text{V}$	100	230	$\text{m}\Omega$	
$R_{DS(on)(HS)}$	高侧 MOSFET 导通电阻	$V_{IN} = 5.5\text{V}$, $V_{BOOT-SW} = 4.0\text{V}$	125		$\text{m}\Omega$	
热关断						
$T_{J(SD)}$	热关断阈值 ⁽¹⁾	温度上升	135	162		$^{\circ}\text{C}$
$T_{J(HYS)}$	热关断迟滞 ⁽¹⁾		14			$^{\circ}\text{C}$

(1) 参数由相关参数的设计、统计分析和生产测试指定。未经生产测试。

5.6 典型特性

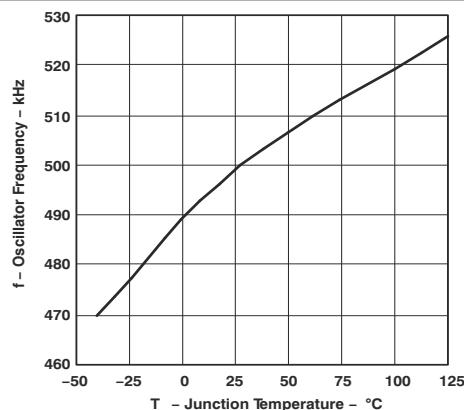


图 5-1. 振荡器频率与结温间的关系

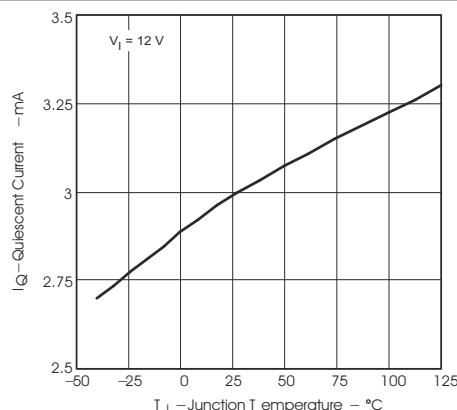


图 5-2. 非开关静态电流与结温间的关系

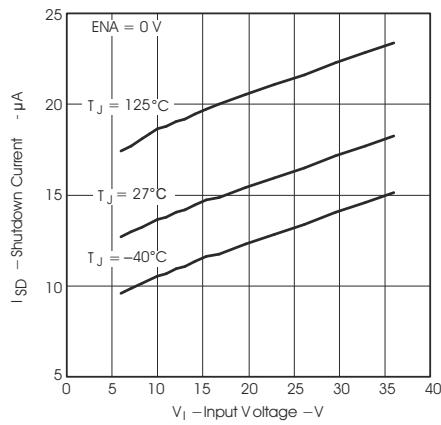


图 5-3. 关断静态电流与输入电压的关系

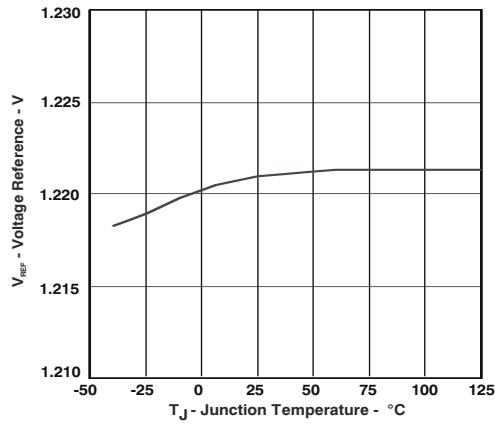


图 5-4. 电压基准与结温的关系

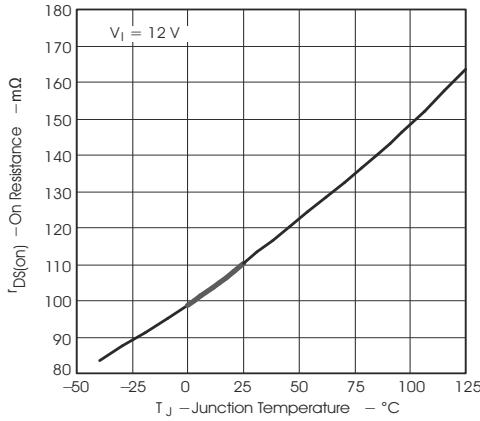


图 5-5. 导通电阻与结温的关系

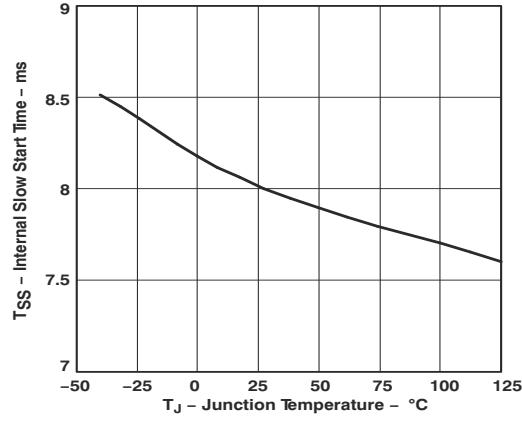


图 5-6. 内部慢启动时间与结温间的关系

5.6 典型特性 (续)

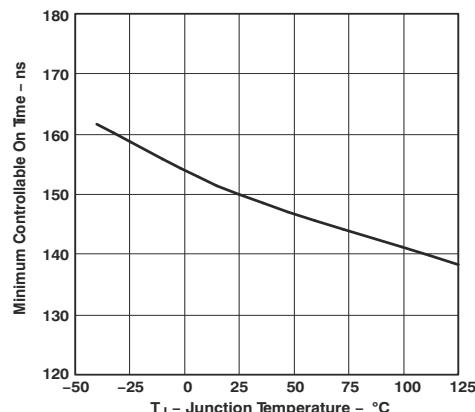


图 5-7. 最短可控导通时间与结温间的关系

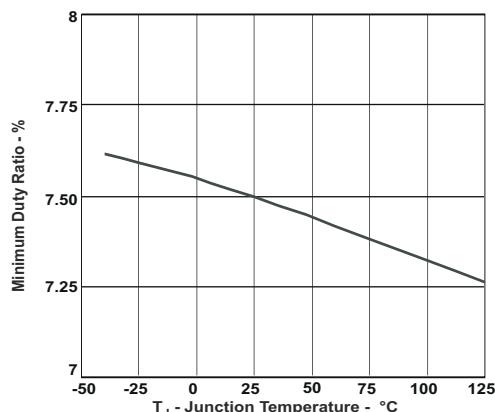


图 5-8. 最小可控占空比与结温间的关系

6 详细说明

6.1 概述

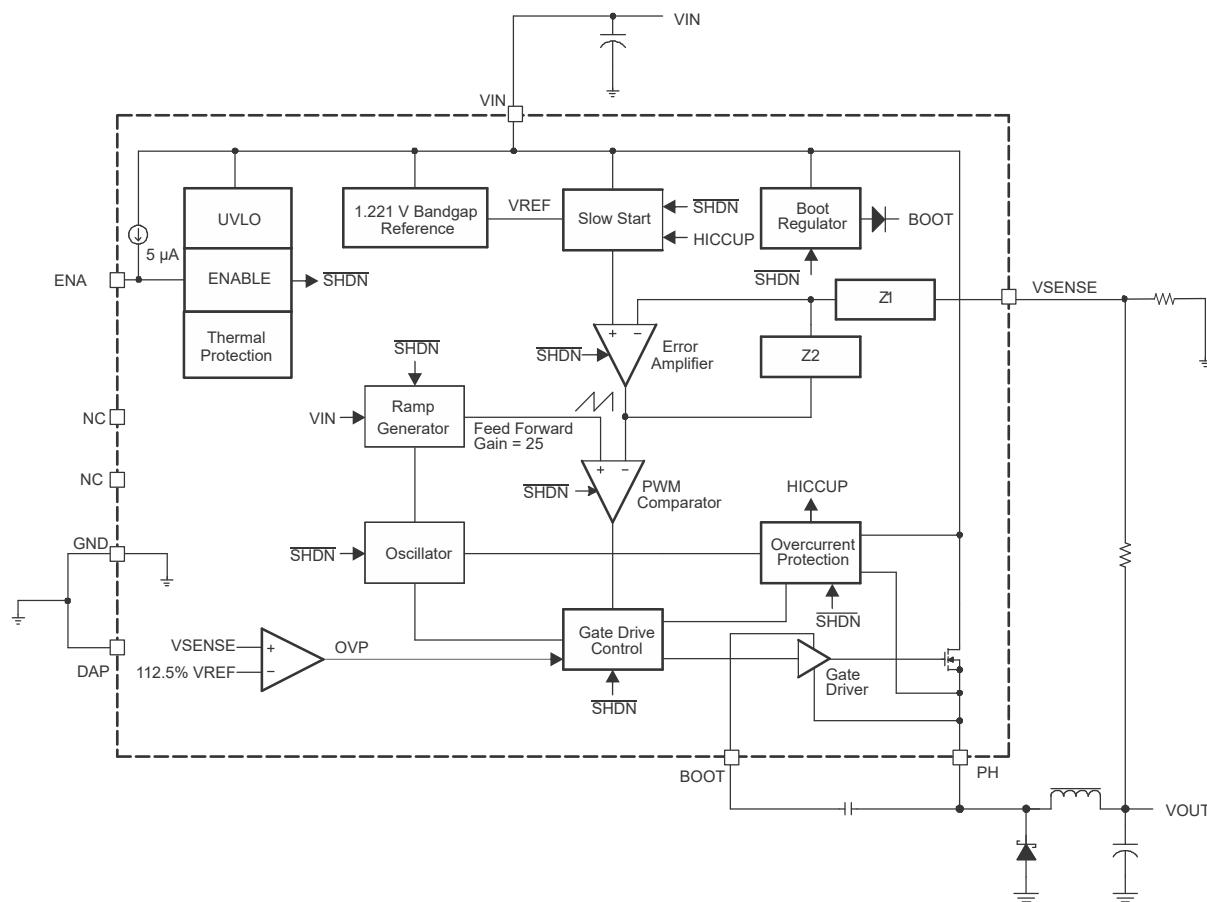
TPS5430-Q1 是一款 3A 降压稳压器，具有一个集成式高侧 N 沟道 MOSFET。TPS5430-Q1 通过高达 36V 的电源轨运行。该器件通过电压前馈实现恒定频率电压模式控制，来改善线性调整率和线性瞬态响应。内部补偿降低了设计复杂性并减少了外部元件数量。

集成式 $100\text{m}\Omega$ 高侧 MOSFET 支持高效电源设计，可以向负载提供 3A 的连续电流。从 BOOT 连接至 PH 引脚的自举电容器为集成高侧 MOSFET 提供栅极驱动偏置电压。该器件通过集成自举再充电二极管来减少外部元件数量。

TPS5430-Q1 的默认输入启动电压为 5.3V (典型值)。ENA 引脚可用于禁用该器件，将电源电流典型值降低至 $15\mu\text{A}$ 。当 ENA 引脚悬空时，内部上拉电流源实现运行。该器件包括内部慢启动电路，此电路可在启动期间减慢输出上升时间，以减少浪涌电流和输出电压过冲。最小输出电压为内部 1.221V 反馈基准。通过过压保护 (OVP) 比较器使输出过压瞬变最小化。激活 OVP 比较器时，关闭高侧 MOSFET，并使其保持关闭，直至输出电压低于期望输出电压的 112.5%。

内部逐周期过流保护限制集成高侧 MOSFET 中的峰值电流。对于连续过流故障情况，该器件将进入断续模式过流限制。热保护防止器件过热。

6.2 功能方框图



6.3 特性说明

6.3.1 振荡器频率

内部自由运行振荡器将 PWM 开关频率设置为 500kHz。在相同的输出纹波要求下，500kHz 开关频率允许更少的输出电感，从而使输出电感器更小。

6.3.2 电压基准

电压基准系统通过对具有温度稳定性的带隙电路输出进行调节生成精确的基准信号。在生产测试期间将带隙和调节电路修整为室温下 1.221V 的输出。

6.3.3 使能 (ENA) 和内部慢启动

稳压器的 ENA 引脚可提供电气开/关控制功能。ENA 电压超过阈值电压后，稳压器就会开始运行，且内部慢启动开始斜升。如果 ENA 电压被拉至阈值电压以下，稳压器停止开关且内部慢启动复位。将该引脚接地或连接到任何低于 0.5V 的电压将禁用稳压器并激活关断模式。在关断模式下，TPS5430-Q1 的静态电流通常为 15µA。

ENA 具备一个内部上拉电流源，从而允许用户将 ENA 引脚悬空。如果应用需要控制 ENA，可使用漏极开路或集电极开路输出逻辑与该引脚连接。要限制启动期间的浪涌电流，可使用内部慢启动电路将基准电压从 0V 线性斜升至其最终值。内部慢启动时间通常为 8ms。

6.3.4 欠压锁定 (UVLO)

TPS5430-Q1 包括了 UVLO 电路，在 VIN (输入电压) 低于 UVLO 启动电压阈值时将禁用器件。在上电期间，内部电路保持非运行状态，内部慢启动接地，直至 VIN 超过 UVLO 启动阈值电压。达到 UVLO 启动阈值电压之后，就会释放内部慢启动，器件启动开始。器件保持工作，直至 VIN 降至低于 UVLO 停止阈值电压。UVLO 比较器中的典型迟滞为 350 mV。

6.3.5 升压电容器 (BOOT)

在 BOOT 引脚和 PH 引脚之间连接一个 0.01 µF 低 ESR 陶瓷电容器。此电容器为高侧 MOSFET 提供栅极驱动电压。TI 建议使用 X7R 或 X5R 等级的电介质电容器，因为这类电容器在不同温度下的容值保持稳定。

6.3.6 输出反馈 (VSENSE) 和内部补偿

通过将外部电阻分压器网络的中心点电压反馈回 VSENSE 引脚来设置稳压器的输出电压。在稳定状态运行时，VSENSE 电压必须等于电压基准 1.221V。

TPS5430-Q1 实施内部补偿以简化稳压器设计。由于 TPS5430-Q1 使用电压模式控制，因此在片上设计了 3 类补偿网络，以提供高交叉频率和高相位裕度，从而实现良好的稳定性。更多详细信息，请参阅预告信息部分中的内部补偿网络。

6.3.7 电压前馈

不管输入电压有任何变化，内部电压前馈始终提供恒定直流功率级增益。这大大简化了稳定性分析和改进了瞬态响应。电压前馈使峰值斜坡电压与输入电压成反比变化，因此调制器和功率级增益在前馈增益处是恒定的，即：

$$\text{Feed Forward Gain} = \frac{V_{IN}}{V_{RAMP(\text{pk-pk})}} \quad (1)$$

TPS5430-Q1 的典型前馈增益为 25。

6.3.8 脉宽调制 (PWM) 模式

稳压器采用固定频率 PWM 控制方法。首先，通过高增益误差放大器和补偿网络将反馈电压 (VSENSE 引脚电压) 与恒定电压基准进行比较，以便生成误差电压。然后，通过 PWM 比较器将误差电压与斜坡电压进行比较。通过这种方式，误差电压幅度转换为脉冲宽度，即占空比。最后，PWM 输出馈送到栅极驱动电路以控制高侧 MOSFET 的导通时间。

6.3.9 过流限制

通过检测高侧 MOSFET 的漏源电压来实现过流限制。然后将漏源电压与表示过流阈值限制的电压电平进行比较。如果漏源电压超过过流阈值限制值，则过流指示器设置为 **true** (真)。在每个周期开始时的前沿消隐时间内，系统会忽略过流指示器，以避免任何开启噪声干扰。

一旦过流指示器设置为 **true** (真)，就会触发过流限制。在传播延迟之后，高侧 MOSFET 在周期的剩余时间内关闭。过流限制模式称为逐周期电流限制。

有时在短路等严重过载情况下，使用逐周期电流限制时仍可能会发生过流失控。使用第二种电流限制模式，即断续模式过流限制。在断续模式过流限制期间，电压基准接地，且高侧 MOSFET 在断续时间内关闭。断续时间段结束之后，稳压器在慢启动电路的控制下重新启动。

6.3.10 过压保护 (OVP)

TPS5430-Q1 具有 OVP 电路，当其从输出故障状态恢复时，可以更大限度地减少电压过冲。OVP 电路包括一个过压比较器，用于比较 VSENSE 引脚电压和 $112.5\% \times VREF$ 的阈值。一旦 VSENSE 电压高于阈值，高侧 MOSFET 会被强制关闭。在 VSENSE 电压降至低于阈值时，高侧 MOSFET 会被重新启用。

6.3.11 热关断

TPS5430-Q1 使用内部热关断电路保护自身，以防过热。如果结温超过热关断跳变点，则电压基准会接地且高侧 MOSFET 关闭。当结温降至低于热关断跳变点 14°C 时，器件会在慢启动电路的控制下自动重启。

6.4 器件功能模式

6.4.1 在最低输入电压附近工作

TI 建议 TPS5430-Q1 在高于 5.5V 的输入电压下运行。典型的 VIN UVLO 阈值为 5.3V，且该器件可在低至 UVLO 电压的输入电压下运行。当输入电压低于实际 UVLO 电压时，该器件不开关。如果 ENA 悬空或以外部方式上拉至大于 1.3V，则当 V(VIN) 超出 UVLO 阈值时，该器件将变为活动状态。启用切换，且慢启动序列随之启动。在内部慢启动期间，TPS5430-Q1 器件开始将基准电压从 0V 线性上升至其最终值。

6.4.2 在实施 ENA 控制的情况下运行

使能启动阈值电压最大为 1.3V。当 ENA 持续低于 0.5V 最小停止阈值电压时，该器件处于禁用状态并禁止进行开关，即使 VIN 高于其 UVLO 阈值时也是如此。这种状态下的静态电流有所降低。如果 ENA 电压升至高于最大启动阈值，而 V(VIN) 高于其 UVLO 阈值，则该器件变为活动状态。启用切换，且慢启动序列随之启动。在内部慢启动期间，该器件开始将内部基准电压从 0V 线性上升至其最终值。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

TPS5430-Q1 是一款集成高侧 MOSFET 的 3A 降压稳压器。该器件通常用于将较高的直流电压转换为较低的直流电压，最大可用输出电流为 3A。示例应用包括：用于汽车音频的高密度负载点稳压器、高功率 LED 电源、电池充电器以及其他 12V 和 24V 供电系统。按照以下设计过程为 TPS5430-Q1 选择合适的元件值。

7.2 典型应用

7.2.1 应用电路，12V 至 5V

图 7-1 显示了典型 TPS5430-Q1 应用的原理图。TPS5430-Q1 可以在 5V 的标称输出电压下提供高达 3A 的输出电流。为了获得适当的热性能，器件下方裸露的散热焊盘必须焊接至印刷电路板上。

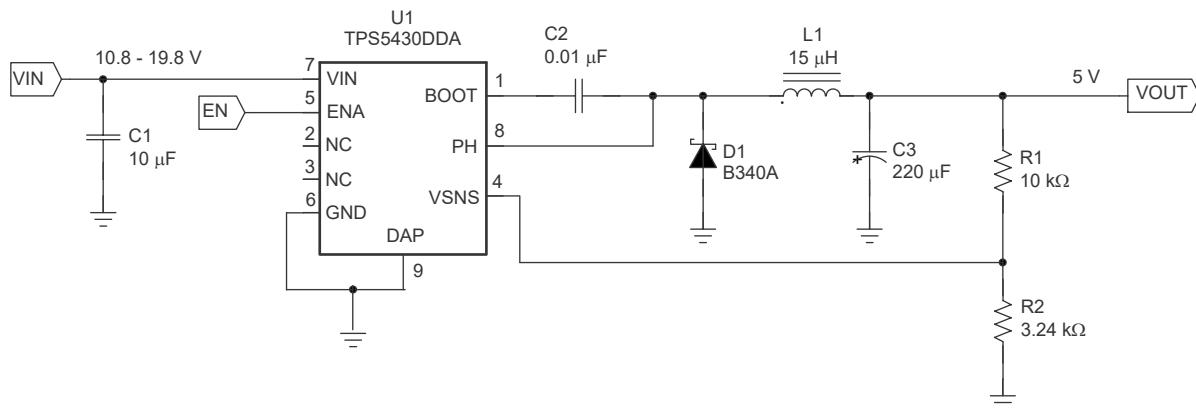


图 7-1. 应用电路，12V 至 5V

7.2.1.1 设计要求

本设计示例使用以下参数作为输入参数：

设计参数 ⁽¹⁾	示例值
输入电压范围	10.8V 至 19.8V
输出电压	5V
输入纹波电压	300mV
输出纹波电压	30mV
输出电流额定值	3A
工作频率	500kHz

(1) 作为附加约束，该设计设置为小尺寸和低元件高度。

7.2.1.2 详细设计过程

以下设计过程可用于为 TPS5430-Q1 选择元件值。也可以用 WEBENCH® 软件完成全部设计。生成设计时，WEBENCH 软件采用一种迭代设计过程并访问综合元件数据库。本部分简要讨论了设计过程。

在开始设计过程之前，必须先确定几个参数。设计人员需要了解以下内容：

- 输入电压范围

- 输出电压
- 输入纹波电压
- 输出纹波电压
- 输出电流额定值
- 工作频率

7.2.1.2.1 使用 WEBENCH® 工具创建定制设计方案

点击此处，使用 TPS5430-Q1 转换器并借助 WEBENCH® Power Designer 创建定制设计方案。

1. 首先键入输入电压 (V_{IN})、输出电压 (V_{OUT}) 和输出电流 (I_{OUT}) 要求。
2. 使用优化器表盘优化该设计的关键参数，如效率、占用空间和成本。
3. 将生成的设计与德州仪器 (TI) 其他可行的解决方案进行比较。

WEBENCH Power Designer 提供了定制原理图，并罗列了实时价格和元件供货情况的物料清单。

在多数情况下，可执行以下操作：

- 运行电气仿真，观察重要波形以及电路性能。
- 运行热性能仿真，了解电路板热性能。
- 将定制原理图和布局方案以常用 CAD 格式导出。
- 打印设计方案的 PDF 报告并与同事共享。

有关 WEBENCH 工具的详细信息，请访问 www.ti.com.cn/WEBENCH。

7.2.1.2.2 开关频率

TPS5430-Q1 的开关频率在内部设置为 500kHz。无法调整开关频率。

7.2.1.2.3 输入电容器

TPS5430-Q1 需要一个输入去耦电容器，并且根据具体应用需要一个大容量输入电容器。去耦电容器 C_1 的建议值为 $10 \mu F$ 。需要高质量陶瓷型 X5R 或 X7R。对于某些应用，只要不超过输入电压和电流纹波的额定值，可以使用较小值的去耦电容器。额定电压必须大于最大输入电压，包括纹波电压。

此输入纹波电压可以通过方程式 2 估算得出：

$$\Delta V_{IN} = \frac{I_{OUT(MAX)} \times 0.25}{C_{BULK} \times f_{SW}} + (I_{OUT(MAX)} \times ESR_{MAX}) \quad (2)$$

其中：

$I_{OUT(MAX)}$ 为最大负载电流。

f_{SW} 为开关频率。

C_{IN} 为输入电容器值。

ESR_{MAX} 为输入电容器的最大串联电阻。

除此之外，还需要检查最大 RMS 纹波电流。在最坏的情况下，可以通过方程式 3 估算得出此值：

$$I_{CIN} = \frac{I_{OUT(MAX)}}{2} \quad (3)$$

在这种情况下，输入纹波电压可以是 156mV，RMS 纹波电流可以是 1.5A。输入电容器两端的最大电压可以是 V_{IN} 最大值 + $\Delta V_{IN}/2$ 。所选输入去耦电容器的额定电压为 25V，纹波电流容量大于 3A，提供了足够的裕量。非常重要的是，在任何情况下都不得超过电压和电流的最大额定值。

此外，可能需要一些大容量电容，尤其是当 TPS5430-Q1 电路的位置不在输入电压源约 2 英寸以内时。此电容器的值并不重要，但其额定值还必须能够应对包含纹波电压在内的最大输入电压，并必须能够对输出进行滤波，以使输入纹波电压是可以接受的。

7.2.1.2.4 输出滤波器元件

必须为输出滤波器选择两个元件 L1 和 C2。由于 TPS5430-Q1 是内部补偿器件，因此可以支持有限范围的滤波器元件类型和值。

7.2.1.2.4.1 电感器选择

如需计算输出电感器的最小值，请使用[方程式 4](#)：

$$L_{MIN} = \frac{V_{OUT(MAX)} \times (V_{IN(MAX)} - V_{OUT})}{V_{IN(MAX)} \times K_{IND} \times I_{OUT} \times F_{SW}} \quad (4)$$

K_{IND} 是一个系数，表示电感器纹波电流值与最大输出电流之比。在确定电感器中的纹波电流值时，需要考虑三件事：峰峰值纹波电流会影响输出纹波电压幅度，纹波电流会影响峰值开关电流，纹波电流值决定了电路变得不连续的位置。对于使用 TPS5430-Q1 的设计，0.2 至 0.3 的 K_{IND} 可以产生良好的效果。当与适当的输出电容器配合使用时，可以获得低输出纹波电压，峰值开关电流远低于电流限制设定点，并且在不连续运行之前可以拉取相对较低的负载电流。

在此设计示例中，使用 $K_{IND} = 0.2$ ，且计算得出的最小电感值为 $12.5\mu H$ 。此设计中使用的下一个最高标准值为 $15\mu H$ 。

对于输出滤波电感而言，不得超出额定 RMS 电流和饱和电流。RMS 电感器电流可以在[方程式 5](#) 中找到。

$$I_{L(RMS)} = \sqrt{I_{OUT(MAX)}^2 + \frac{1}{12} \times \left(\frac{V_{OUT} \times (V_{IN(MAX)} - V_{OUT})}{V_{IN(MAX)} \times L_{OUT} \times F_{SW} \times 0.8} \right)^2} \quad (5)$$

而峰值电感器电流可以使用[方程式 6](#) 来确定：

$$I_{L(PK)} = I_{OUT(MAX)} + \frac{V_{OUT} \times (V_{IN(MAX)} - V_{OUT})}{1.6 \times V_{IN(MAX)} \times L_{OUT} \times F_{SW}} \quad (6)$$

对于此设计，RMS 电感器电流为 $3.003A$ ，峰值电感器电流为 $3.31A$ 。所选的电感器为 Sumida CDRH104R-150 $15\mu H$ 。该电感器的饱和电流额定值为 $3.4A$ ，均方根电流额定值为 $3.6A$ ，可轻松满足这些要求。可以使用额定值较低的电感器，但选择该器件是因为其低元件高度。通常，与 TPS5430-Q1 配合使用的电感值为 $10\mu H$ 至 $100\mu H$ 。

7.2.1.2.4.2 电容器选型

输出电容器的重要设计因素是直流电压额定值、纹波电流额定值和等效串联电阻 (ESR)。不得超过直流电压和纹波电流额定值。ESR 很重要，因为它与电感器纹波电流一起决定输出纹波电压的大小。输出电容器的实际值并不重要，但确实存在一些实际限制。应考虑此设计所需的闭环交叉频率与输出滤波器的 LC 转角频率之间的关系。由于采用内部补偿设计，闭环交叉频率尽量保持在 $3kHz$ 至 $30kHz$ 范围之间，因为这个频率范围有足够的相位升压，可实现稳定运行。对于此设计示例，假设预期的闭环交叉频率在 $2590Hz$ 至 $24kHz$ 之间，且也低于输出电容器的 ESR 零点。在这些条件下，闭环交叉频率与 LC 转角频率的关系如下：

$$f_{CO} = \frac{f_{LC}^2}{85 V_{OUT}} \quad (7)$$

且输出滤波器所需的输出电容器值为：

$$C_{OUT} = \frac{1}{3357 \times L_{OUT} \times f_{CO} \times V_{OUT}} \quad (8)$$

对于所需的 18 kHz 交叉频率和 15 μ H 电感器，输出电容器的计算值为 220 μ F。必须选择电容器类型，以使 ESR 零点高于环路交叉频率。最大 ESR 为：

$$ESR_{MAX} = \frac{1}{2\pi \times C_{OUT} \times f_{CO}} \quad (9)$$

所选输出电容器的额定电压也必须大于所需的输出电压加上纹波电压的一半。还必须包括任何降额量。输出电容器中的最大 RMS 纹波电流计算公式如下：[方程式 10](#)

$$I_{COUT(RMS)} = \frac{1}{\sqrt{12}} \times \left(\frac{V_{OUT} \times (V_{IN(MAX)} - V_{OUT})}{V_{IN(MAX)} \times L_{OUT} \times f_{SW} \times N_C} \right) \quad (10)$$

其中：

N_C 为并联输出电容器的数量。

f_{SW} 为开关频率。

其他电容器类型也可以与 TPS5430-Q1 一起使用，具体取决于应用的需求。

输出电容器的最大 ESR 也决定了初始设计参数中指定的输出纹波量。输出纹波电压是电感器纹波电流与输出滤波器的 ESR 的乘积。检查电容器数据表中列出的最大规定 ESR 是否产生可接受的输出纹波电压：

$$V_{PP(MAX)} = \frac{ESR_{MAX} \times V_{OUT} \times (V_{IN(MAX)} - V_{OUT})}{N_C \times V_{IN(MAX)} \times L_{OUT} \times f_{SW}} \quad (11)$$

其中：

ΔV_{PP} 是所需的峰峰值输出纹波。

N_C 为并联输出电容器的数量。

f_{SW} 为开关频率。

在本设计示例中，为 C3 选择了单个 220 μ F 输出电容器。计算出的 RMS 纹波电流为 143mA，所需的最大 ESR 为 40m Ω 。满足这些要求的电容器是 Sanyo Poscap 10TPB220M，其额定值为 10V，最大 ESR 为 40m Ω ，额定纹波电流为 3A。也可使用一个额外的 0.1 μ F 小型陶瓷旁路电容器，但未包括在本设计中。

还必须考虑输出电容器的最小 ESR。为了获得良好的相位裕度，当 ESR 处于最小值时，ESR 零点不能远高于 24kHz 和 54kHz 的内部补偿极点。

7.2.1.2.5 输出电压设定点

TPS5430-Q1 的输出电压通过从输出到 VSENSE 引脚的电阻分压器 (R1 和 R2) 进行设置。使用[方程式 12](#) 计算输出电压为 5V 时的 R2 电阻值：

$$R2 = \frac{R1 \times 1.221}{V_{OUT} - 1.221} \quad (12)$$

对于任何 TPS5430-Q1 设计，R1 值均从 10k Ω 开始。对于 5V 输出，R2 为 3.24k Ω 。

7.2.1.2.6 启动电容器

启动电容器必须为 0.01 μ F。

7.2.1.2.7 环流二极管

TPS5430-Q1 设计为在 PH 和 GND 之间使用一个外部环流二极管来运行。所选二极管必须满足应用的绝对最大额定值：反向电压必须高于 PH 引脚处的最大电压，即 $V_{IN(MAX)} + 0.5V$ 。峰值电流必须大于 $I_{OUT(MAX)}$ 与峰峰值电感器电流一半之和。为获得更高的效率，正向压降必须较小。值得注意的是，环流二极管导通时间通常长于高侧 FET 导通时间，因此，关注二极管参数可以显著提高整体效率。此外，检查所选器件是否能够消散功率损耗。对于此设计，选择了 Diodes, Inc. 的一个反向电压为 40V、正向电流为 3A 且正向压降为 0.5V 的 B340A。

7.2.1.2.8 高级信息

7.2.1.2.8.1 输出电压限制

由于 TPS5430-Q1 采用特殊内部设计，对于任何给定的输入电压，都有输出电压上限和下限。输出电压设定点的上限受最大占空比 87% 的限制，计算公式如下：

$$V_{OUTMAX} = 0.87 \times \left((V_{INMIN} - I_{OMAX} \times 0.230) + V_D \right) - (I_{OMAX} \times R_L) - V_D \quad (13)$$

其中：

V_{INMIN} 为最小输入电压。

I_{OMAX} 为最大负载电流。

V_D 为环流二极管正向电压。

R_L 为输出电感器串联电阻。

此公式假定内部高侧 FET 的电阻为最大值。

下限受到可高达 200ns 的最小可控导通时间的约束。给定输入电压和最小负载电流的近似最小输出电压计算公式如下：

$$V_{OUTMIN} = 0.12 \times \left((V_{INMAX} - I_{OMIN} \times 0.110) + V_D \right) - (I_{OMIN} \times R_L) - V_D \quad (14)$$

其中：

V_{INMAX} 为最大输入电压。

I_{OMIN} 为最小负载电流。

V_D 为环流二极管正向电压。

R_L 为输出电感器串联电阻。

此公式假定高侧 FET 的导通电阻为标称值，并考虑工作频率设定点的最坏情况变化。必须仔细检查在器件运行限制附近运行的任何设计，以确保功能正常。

7.2.1.2.8.2 内部补偿网络

该示例电路中给出的设计公式可用于使用 TPS5430-Q1 生成电路。这些设计基于某些假设，并倾向于总是在有限的 ESR 值范围内选择输出电容器。如果需要不同类型的电容器，可以选择适合 TPS5430-Q1 内部补偿的电容器。[方程式 15](#) 给出了内部电压模式 3 类补偿网络的标称频率响应：

$$H(s) = \frac{\left(1 + \frac{s}{2\pi \times Fz1}\right) \times \left(1 + \frac{s}{2\pi \times Fz2}\right)}{\left(\frac{s}{2\pi \times Fp0}\right) \times \left(1 + \frac{s}{2\pi \times Fp1}\right) \times \left(1 + \frac{s}{2\pi \times Fp2}\right) \times \left(1 + \frac{s}{2\pi \times Fp3}\right)} \quad (15)$$

其中：

$Fp0 = 2165\text{Hz}$, $Fz1 = 2170\text{Hz}$, $Fz2 = 2590\text{Hz}$

$Fp1 = 24\text{kHz}$, $Fp2 = 54\text{kHz}$, $Fp3 = 440\text{kHz}$

$Fp3$ 表示不理想的寄生效应。

利用这些信息以及所需的输出电压、前馈增益和输出滤波器特性，可以推导出闭环传递函数。

7.2.1.2.8.3 热计算

以下公式显示了如何估算器件在连续导通模下的功率耗散。如果器件在轻负载下以不连续导通模式工作，则不得使用这些公式。

$$\text{导通损耗} : P_{con} = I_{OUT}^2 \times R_{DS(on)} \times V_{OUT}/V_{IN} \quad (16)$$

$$\text{开关损耗} : P_{sw} = V_{IN} \times I_{OUT} \times 0.01 \quad (17)$$

$$\text{静态电流损耗} : P_q = V_{IN} \times 0.01 \quad (18)$$

$$\text{总损耗} : P_{tot} = P_{con} + P_{sw} + P_q \quad (19)$$

$$\text{给定 } T_A \geq \text{估算结温} : T_J = T_A + R_{th} \times P_{tot} \quad (20)$$

$$\text{给定 } T_{JMAX} = 125^\circ\text{C} \geq \text{估算最高环境温度} : T_{AMAX} = T_{JMAX} - R_{th} \times P_{tot} \quad (21)$$

7.2.1.3 应用曲线

性能图 (图 7-2 至图 7-8) 适用于图 7-1 中的电路 , 其中 $T_A = 25^\circ\text{C}$ (除非另有说明) 。

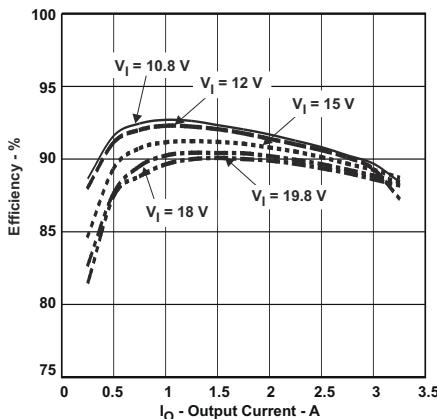


图 7-2. 效率与输出电流之间的关系

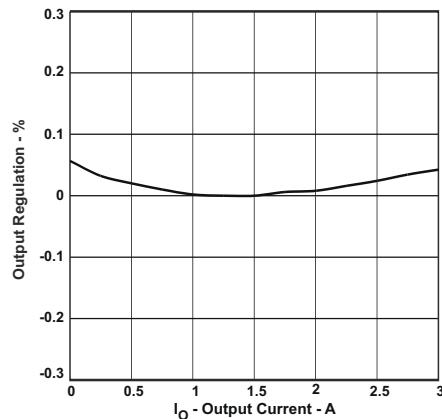


图 7-3. 输出调节与输出电流间的关系

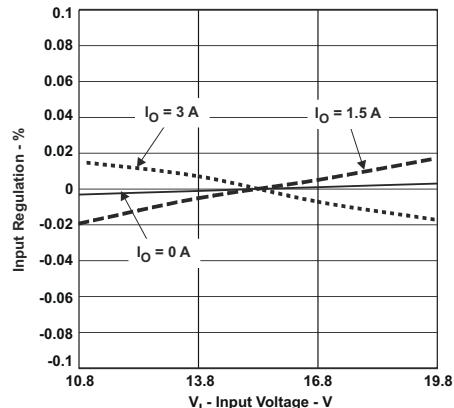


图 7-4. 输入调节与输入电压的关系

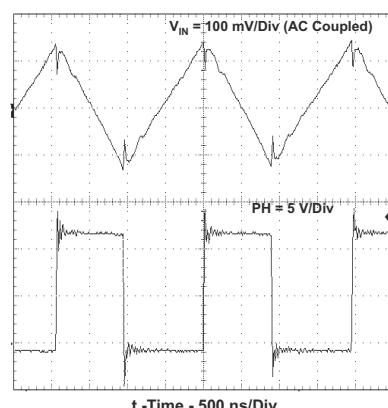


图 7-5. 输入电压纹波与 PH 节点间的关系， $I_O = 3\text{A}$

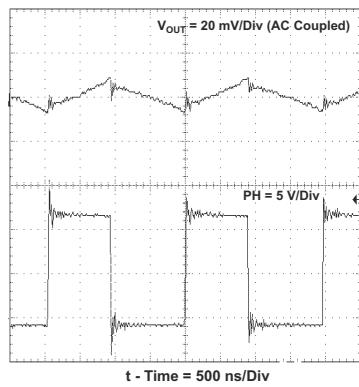


图 7-6. 输出电压纹波和 PH 节点 $I_O = 3\text{A}$ 的关系

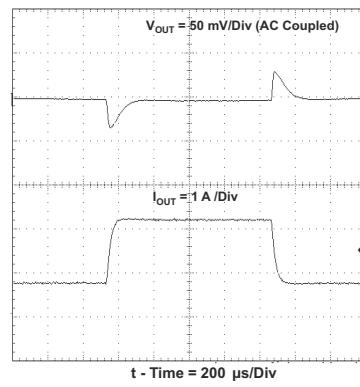
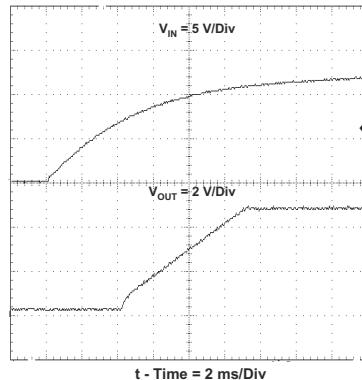


图 7-7. 瞬态响应， I_O 步进 0.75A 至 2.25A

图 7-8. 启动波形, V_{IN} 和 V_{OUT}

7.2.2 9V 至 21V 输入到 5V 输出应用电路

图 7-9 和图 7-10 显示了使用宽输入电压范围的应用电路。设计参数与设计示例中给出的参数类似，不过输出电感值更大，闭环交叉频率更低。

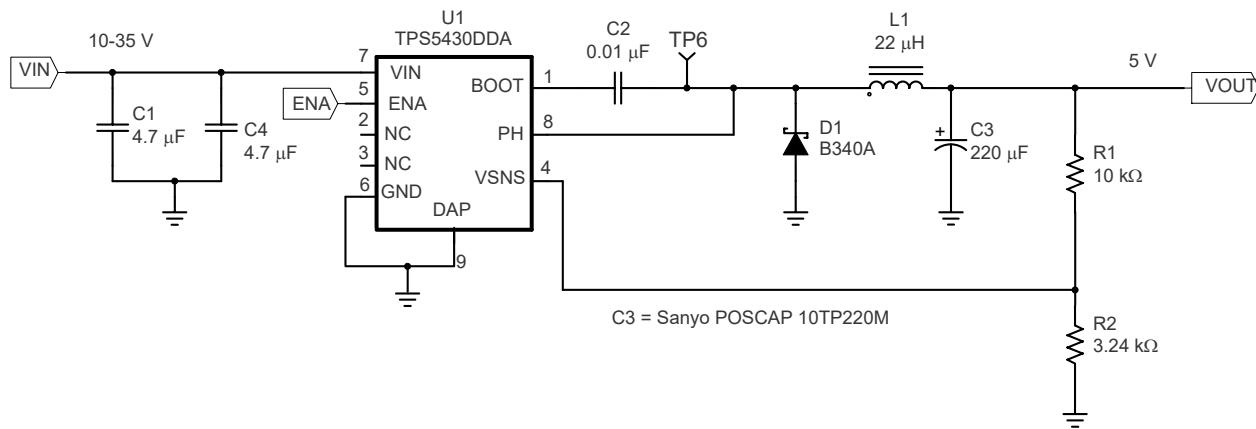


图 7-9. 10V 至 35V 输入到 5V 输出应用电路

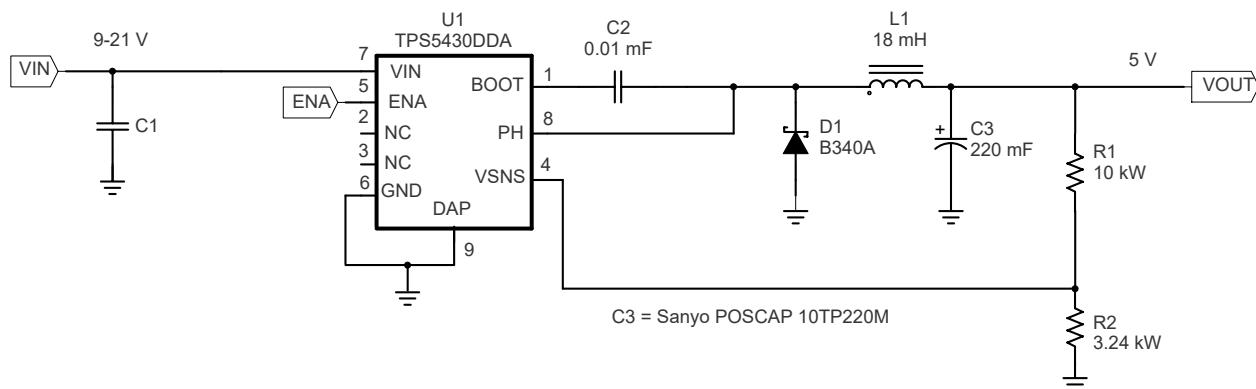


图 7-10. 9V 至 21V 输入到 5V 输出应用电路

7.2.3 使用陶瓷输出滤波电容器的电路

图 7-11 显示了一个将所有陶瓷电容器用于输入和输出滤波器的应用电路，该电路可从 10V 至 24V 输入生成 3.3V 输出。设计过程与为设计示例给出的设计过程类似，但输出滤波电容器容值的选择和使电路稳定所需的额外补偿元件的设计除外。

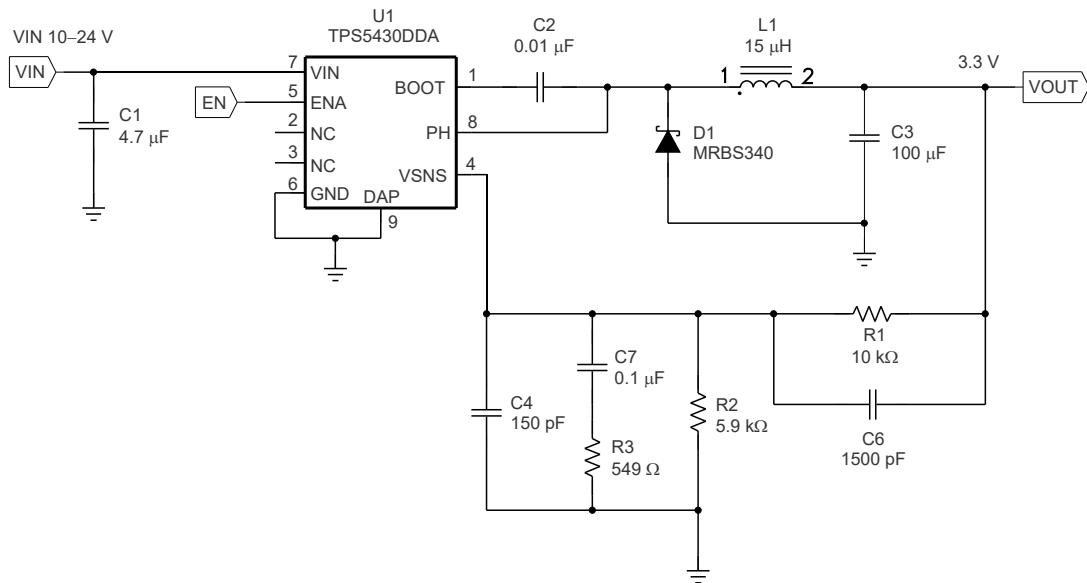


图 7-11. 陶瓷输出滤波电容器电路

7.2.3.1 输出滤波器元件选择

使用方程式 10，最小电感值为 $12 \mu H$ 。为此设计选择 $15 \mu H$ 的值。

当使用陶瓷输出滤波电容器时，建议的 LC 谐振频率不能超过 7kHz 。由于输出电感器已选择为 $15 \mu H$ ，这会将最小输出电容值限制为：

$$C_O (\text{MIN}) \geq \frac{1}{(2\pi \times 7000)^2 \times L_O} \quad (22)$$

计算得出最小电容值为 $34 \mu F$ 。对于该电路，较大的电容值会产生更好的瞬态响应。单个 $100 \mu F$ 输出电容器用于 C3。值得注意的是，陶瓷电容器的实际电容随施加的电压而减小。在本例中，输出电压设置为 $3.3V$ ，可将此效应降至最低。

7.2.3.2 外部补偿网络

当使用陶瓷输出电容器时，需使用额外的电路使闭环系统稳定。对于该电路，外部元件为 R3、C4、C6 和 C7。为了确定这些元件的值，首先计算输出滤波器的 LC 谐振频率：

$$f_{LC} = \frac{1}{2\pi \sqrt{L_O \times C_O (\text{EFF})}} \quad (23)$$

在本例中，有效谐振频率计算为 4109Hz 。

由 R1、R2、R3、C5、C6 和 C7 组成的网络具有两个极点和两个零点，用于调整反馈网络的整体响应，以适应陶瓷输出电容器的使用。极点和零点位置由以下公式给出：

$$F_{p1} = 500000 \times \frac{V_O}{F_{LC}} \quad (24)$$

$$F_{z1} = 0.7 \times F_{LC} \quad (25)$$

$$F_{z2} = 2.5 \times F_{LC} \quad (26)$$

最后一个极点的频率过高，不值得关注。根据[方程式 26](#)得出的第二个零点 F_{z2} 使用 2.5 作为倍频器值。在某些情况下，可能需要该值略高或略低。可以使用 2.3 到 2.7 范围内的值。 $R1$ 和 $R2$ 的值由 3.3V 输出电压确定（使用[方程式 12](#) 计算）。对于此设计， $R1 = 10\text{k}\Omega$ 和 $R2 = 5.90\text{K}\Omega$ 。当 $F_{p1} = 401\text{Hz}$ 、 $F_{z1} = 2876\text{Hz}$ 且 $F_{z2} = 10.3\text{kHz}$ 时，可使用[方程式 27](#)、[方程式 28](#) 和[方程式 29](#) 确定 $R3$ 、 $C6$ 和 $C7$ 的值：

$$C_7 = \frac{1}{2\pi \times F_{p1} \times (R1 \parallel R2)} \quad (27)$$

$$R3 = \frac{1}{2\pi \times F_{z1} \times C_7} \quad (28)$$

$$C6 = \frac{1}{2\pi \times F_{z2} \times R1} \quad (29)$$

对于本设计，使用最接近的标准值，即 $C7$ 为 0.1\mu F ， $R3$ 为 549Ω ， $C6$ 为 1500pF 。添加 $C4$ 以提高负载调节性能。它在第二极点频率的位置与 $C6$ 有效地并联，因此相对于 $C6$ ，它必须较小。 $C4$ 必须小于 $C6$ 值的 $1/10$ 。对于此示例， 150pF 效果良好。

有关宽电压范围 PWM 转换器器件的外部补偿的更多信息，请参阅 使用带铝/陶瓷输出电容器的 TPS5410/20/30/31 ([SLVA237](#))。

7.3 电源相关建议

TPS5430-Q1 设计为在 5.5V 至 36V 的输入电源电压范围内运行。该输入电源必须保持在输入电源电压范围内，并且该器件的输入电容必须位于电源输入引脚附近。如果输入电源距离 TPS5430-Q1 转换器超过几英寸，那么除了陶瓷旁路电容器外，还可能需要大容量电容器。通常，选择值为 $100\mu\text{F}$ 的电解电容器。

7.4 布局

7.4.1 布局指南

将低 ESR 陶瓷旁路电容器连接到 VIN 引脚。必须尽可能地减少由旁路电容器连线、VIN 引脚和接地引脚组成的环路面积。最好的方法是将顶端接地区域从器件邻近区域下方延伸到 VIN 布线，并将旁路电容器尽可能靠近 VIN 引脚放置。建议的最小旁路电容为具有 X5R 或 X7R 电介质的 $4.7\mu\text{F}$ 陶瓷电容器。

IC 正下方的顶层必须有一个接地区域，有一个用于连接到散热焊盘的外露区。使用过孔将该接地区域连接至任何内部接地平面。在输入和输出滤波电容器的接地侧也使用附加过孔。必须将 GND 引脚连接至器件下方的接地区域，从而绑定至 PCB 接地，如[图 7-12](#) 所示。

PH 引脚必须连接至输出电感器、环流二极管和启动电容器。由于 PH 连接是开关节点，因此电感器必须尽量靠近 PH 放置，PCB 导体面积也应尽可能缩减，以避免电容过度耦合。环流二极管也必须放置在靠近器件的位置，以尽量减小输出电流环路面积。在相节点和 BOOT 引脚之间连接启动电容器，如下所示。使启动电容器靠近 IC，并尽可能减小导体走线长度。所示的元件放置和连接可以很好地工作，但其他连接布线也可能有效。

如图所示，在 VOUT 走线和 GND 之间连接输出滤波电容器。保持 PH、L_{OUT}、C_{OUT} 和 GND 形成的环路尽可能小。

使用电阻分压器网络将 **VOUT** 走线连接至 **VSENSE** 引脚，以设置输出电压。请勿将此走线布置得离 **PH** 走线太近。由于 IC 封装和器件引脚布局具有特定尺寸，走线可能需要布置在输出电容器下方。或者，如果不希望在输出电容器下走线，则可以在备用层上进行布线。

如果使用如图 7-12 所示的接地方案，请使用连接到另一层的过孔连接到 **ENA** 引脚。

7.4.2 布局示例

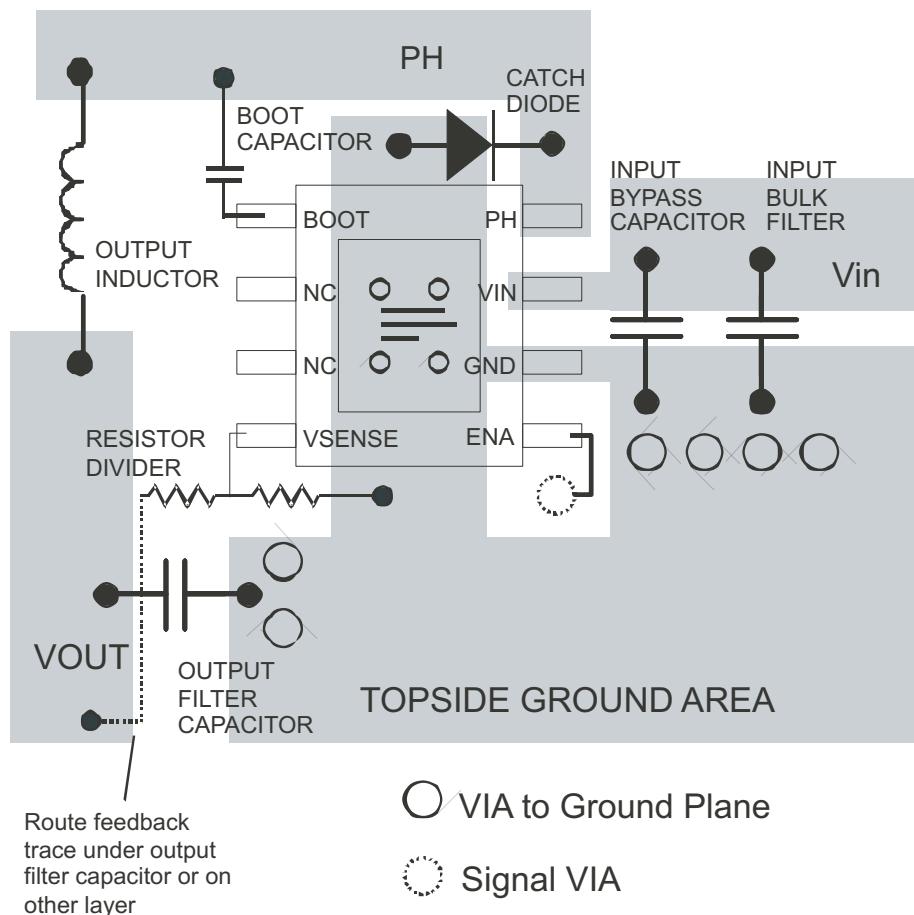


图 7-12. 设计布局

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

8.1.1.1 使用 WEBENCH® 工具创建定制设计方案

点击此处，使用 TPS5430-Q1 转换器并借助 WEBENCH® Power Designer 创建定制设计方案。

1. 首先键入输入电压 (V_{IN})、输出电压 (V_{OUT}) 和输出电流 (I_{OUT}) 要求。
2. 使用优化器表盘优化该设计的关键参数，如效率、占用空间和成本。
3. 将生成的设计与德州仪器 (TI) 其他可行的解决方案进行比较。

WEBENCH Power Designer 提供了定制原理图，并罗列了实时价格和元件供货情况的物料清单。

在多数情况下，可执行以下操作：

- 运行电气仿真，观察重要波形以及电路性能。
- 运行热性能仿真，了解电路板热性能。
- 将定制原理图和布局方案以常用 CAD 格式导出。
- 打印设计方案的 PDF 报告并与同事共享。

有关 WEBENCH 工具的详细信息，请访问 www.ti.com.cn/WEBENCH。

8.2 文档支持

8.2.1 相关文档

请参阅以下相关文档：

德州仪器 (TI)，[使用带铝/陶瓷输出电容器的 TPS5410/20/30/31 应用报告](#)

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击通知进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

[TI E2E™ 中文支持论坛](#)是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

8.5 商标

PowerPAD™ and TI E2E™ are trademarks of Texas Instruments.

WEBENCH® is a registered trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.6 静电放电警告

 静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision D (April 2015) to Revision E (January 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 更新了数据表标题，以包含“汽车类”。在数据表中通篇添加了 WEBENCH® 链接向提到的 PowerPAD 封装添加了“集成电路”。将 MOSFET 电阻从 $110\text{m}\Omega$ 更改为 $100\text{m}\Omega$ 。将 I_Q 从 $18\mu\text{A}$ 更改为 $15\mu\text{A}$	1
• 更新了“封装信息”表的注释。将精度更新为两位有效数字.....	1
• 将引脚配置图标标题更改为“DDA 封装 8 引脚 SOIC (带散热焊盘) 顶视图”，并将标题移至正确的位置。将“PowerPAD”更改为“DAP”.....	3
• 将“绝对最大额定值”表更新为新格式，其中不包括特定参数名称，但包括最小值和最大值列。在表头中标出了 T_J 。使用了引脚名称而不是信号名称。BOOT 和 PH 电压现在标记为输出电压。更新了脚注并删除了注释 2.....	4
• 将 BOOT 至 PH 绝对最大值从 10V 更改为 6V	4
• 删除了 BOOT 至 GND 电压的绝对最大额定值.....	4
• 删除了 MM ESD.....	4
• 将 CDM ESD 电压从 $\pm 1500\text{V}$ 更改为 $\pm 750\text{V}$	4
• 将建议的工作 V_I 更改为“输入电压”.....	4
• 更新了热性能信息脚注以匹配当前 TI 标准，其中包括 JEDEC 标准信息。添加了 EVM $R_{\theta JA}$ 信息.....	4
• 将 $R_{\theta JA}$ 从 41.2 更改为 42.3 ，将 $R_{\theta JC(\text{top})}$ 从 44.4 更改为 46 ，将 $R_{\theta JB}$ 从 22.1 更改为 15 ，将 ψ_{JB} 从 21.9 更改为 15.3 ，并将 $R_{\theta JC(\text{bot})}$ 从 3 更改为 6	4
• 添加了典型规格 EC 表头的条件，添加了参数名称，并在参数描述中使用了引脚名称。添加了表注.....	5
• 将 V_{FB} 的测试条件从“ $I_O = 0\text{A}$ 至 3A ”更改为“ $T_J = -40^\circ\text{C}$ 至 125°C ”，将 $r_{DS(\text{ON})}$ 更改为 $R_{DS(\text{ON})(\text{HS})}$ ，并将 $R_{DS(\text{ON})(\text{HS})}$ 的测试条件从“ $V_{IN} = 5.5\text{V}$ ”更改为“ $V_{IN} = 5.5\text{V}$, $V_{BOOT-SW} = 4.0\text{V}$ ”.....	5
• 将 I_Q 的名称在 ENA 为低电平时更改为 $I_{SD(VIN)}$ ，在芯片处于激活状态时更改为 $I_Q(VIN)$	5
• 添加了 D_{MAX} 的测试条件“ $f_{SW} = 500\text{kHz}$ ”，并添加了第二个 $R_{DS(\text{ON})(\text{HS})}$ 规格的测试条件“ $V_{IN} = 12\text{V}$, $V_{BOOT-SW} = 4.5\text{V}$ ”.....	5
• 将 $I_{Q(VIN)}$ 典型值从 3mA 更改为 2mA ，将 $I_{SD(VIN)}$ 典型值从 $18\mu\text{A}$ 更改为 $15\mu\text{A}$ ，将 $V_{IN_{UVLO(H)}}$ 从 330mV 更改为 0.35V ，并将 $V_{EN(H)}$ 从 450mV 更改为 325mV	5
• 将 $V_{IN} = 5\text{V}$ 时的 $R_{DS(\text{ON})}$ 典型值从 $150\text{m}\Omega$ 更改为 $125\text{m}\Omega$ ，并将 $V_{IN} = 12\text{V}$ 时的典型值从 $110\text{m}\Omega$ 更改为 $100\text{m}\Omega$	5
• 将概述中的“ $110\text{m}\Omega$ 高侧 MOSFET”更改为“ $100\text{m}\Omega$ 高侧 MOSFET”，并将 $18\mu\text{A}$ 更改为 $15\mu\text{A}$	8
• 将功能方框图中的“PowerPAD”更改为“DAP”.....	8
• 将使能 (ENA) 和内部慢启动部分中的关断电流从 $18\mu\text{A}$ 更改为 $15\mu\text{A}$	9
• 将 UVLO 描述中的 UVLO 迟滞从 330mV 更改为 350mV	9
• 将图 7-1 中 TPS5430DDA 封装图上的“PwPd”更改为“DAP”，并将电路说明中的“裸露的散热焊盘”更改为“DAP”.....	11
• 添加了“使用 WEBENCH® 工具创建定制设计方案”部分.....	12
• 将图 7-9 和图 7-10 中 TPS5430DDA 封装图上的“PwPd”更改为“DAP”.....	18
• 将图 7-11 中 TPS5430DDA 封装图上的“PwPd”更改为“DAP”.....	19
• 从布局示例部分删除了焊盘图案.....	21
• 添加了“使用 WEBENCH® 工具创建定制设计方案”部分.....	22

Changes from Revision C (July 2009) to Revision D (April 2015)	Page
• 从标题中删除了 Swift™	1

- 添加了 *ESD* 等级表、特性说明部分、器件功能模式、应用和实施部分、电源相关建议部分、布局部分、器件和文档支持部分以及机械、封装和可订购信息部分..... 1

10 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS5430QDDARQ1	Active	Production	SO PowerPAD (DDA) 8	2500 LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	5430Q

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

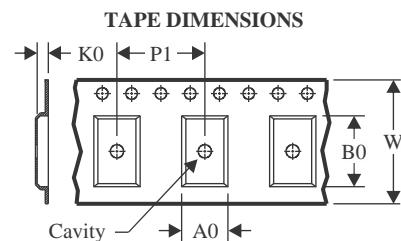
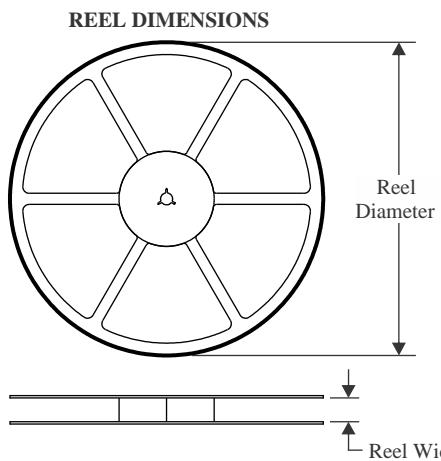
OTHER QUALIFIED VERSIONS OF TPS5430-Q1 :

- Catalog : [TPS5430](#)

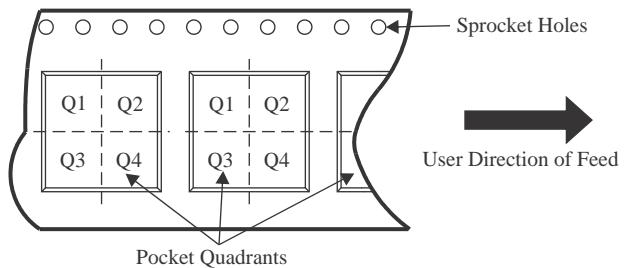
-
- Enhanced Product : [TPS5430-EP](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

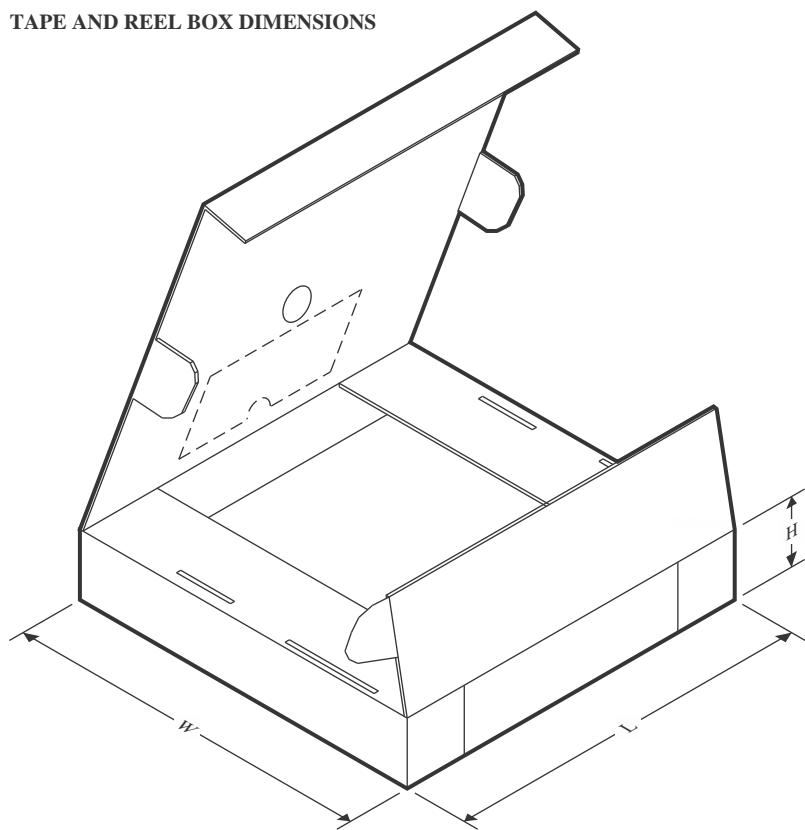
TAPE AND REEL INFORMATION


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


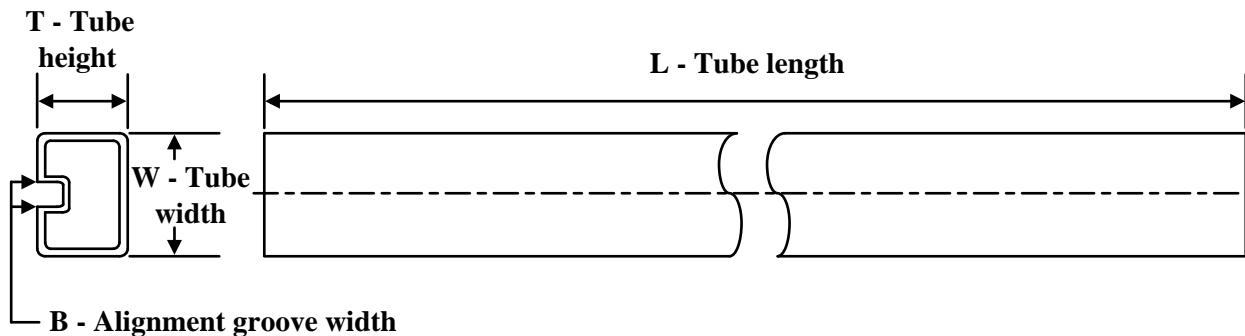
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS5430QDDARQ1	SO PowerPAD	DDA	8	2500	330.0	12.8	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS5430QDDARQ1	SO PowerPAD	DDA	8	2500	518.0	364.0	84.0

TUBE


*All dimensions are nominal

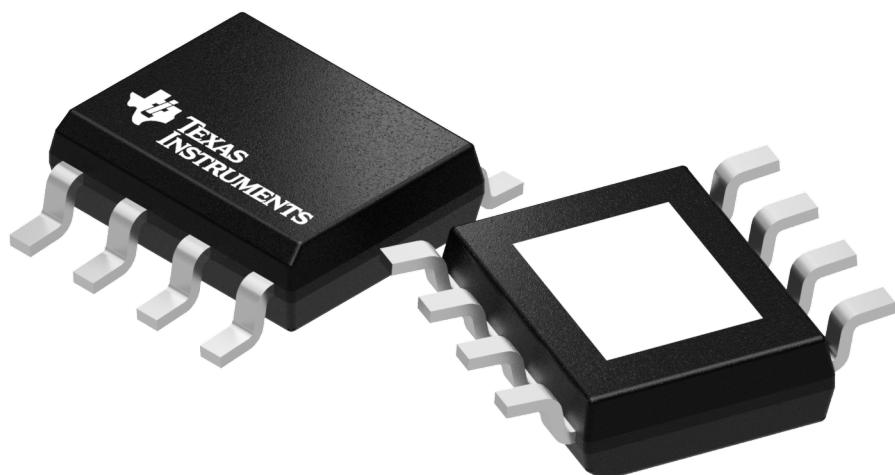
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
TPS5430QDDARQ1	DDA	HSOIC	8	2500	508	12.19	510	7.88

GENERIC PACKAGE VIEW

DDA 8

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4202561/G

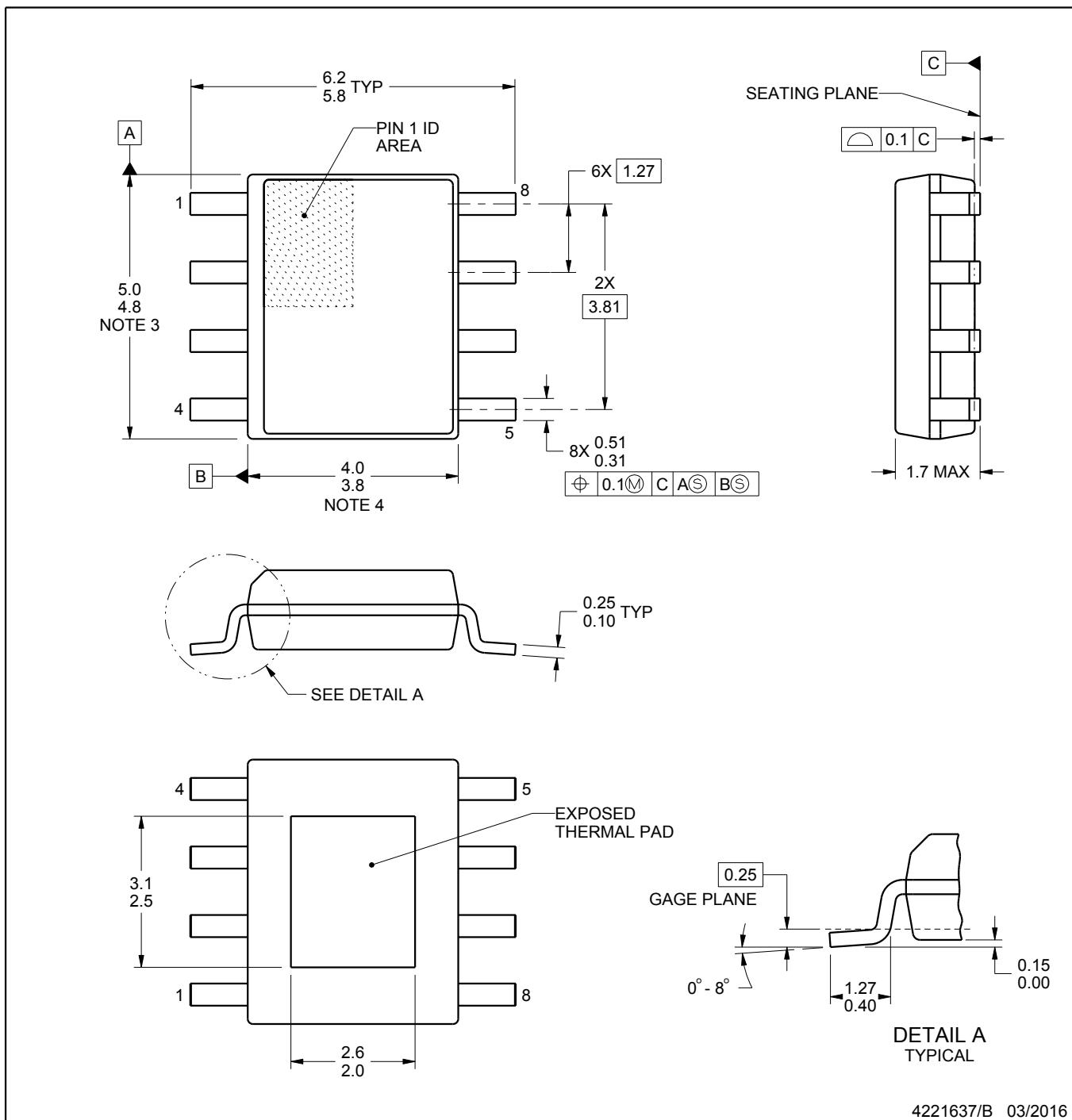
DDA0008J



PACKAGE OUTLINE

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



4221637/B 03/2016

PowerPAD is a trademark of Texas Instruments.

NOTES:

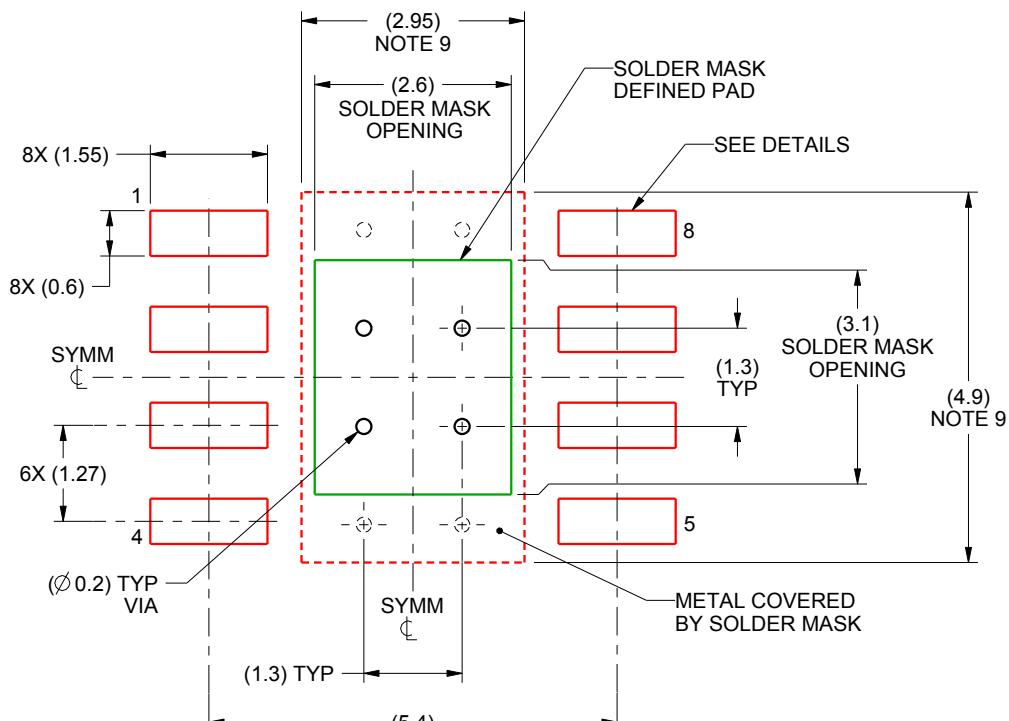
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012, variation BA.

EXAMPLE BOARD LAYOUT

DDA0008J

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS

4221637/B 03/2016

NOTES: (continued)

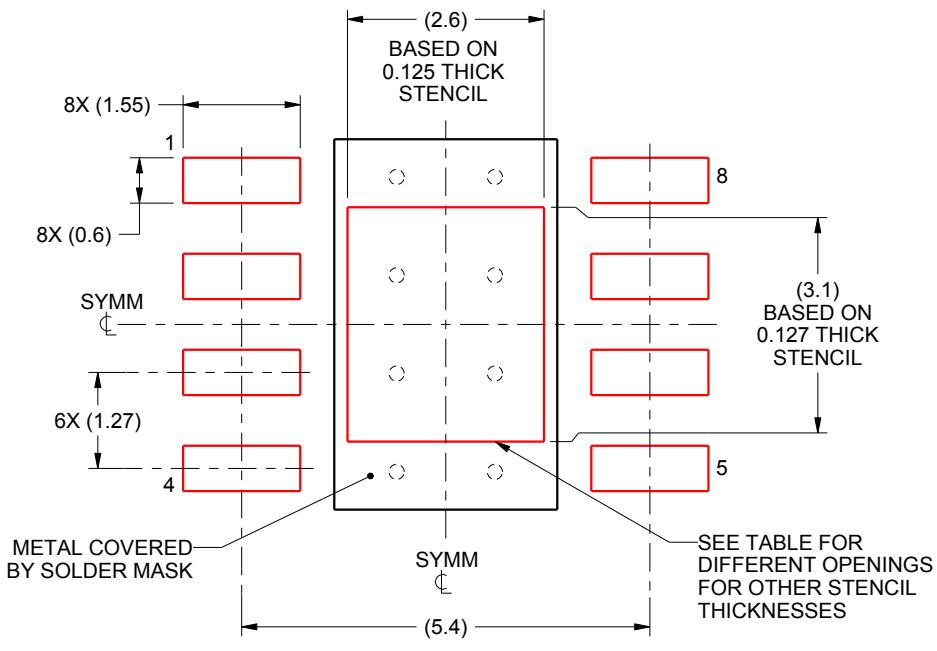
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DDA0008J

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.91 X 3.47
0.125	2.6 X 3.1 (SHOWN)
0.150	2.37 X 2.83
0.175	2.20 X 2.62

4221637/B 03/2016

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
 11. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

版权所有 © 2025, 德州仪器 (TI) 公司