

特性

- 16 Kbit 铁电性随机存储器 (F-RAM) 被逻辑组织为 2 K × 8
 - 高耐久性: 100 万亿 (10^{14}) 次的读 / 写操作
 - 151 年的数据保留时间 (请参考[数据保留时间与耐久性表](#))
 - NoDelay™ 写操作
 - 高级高可靠性的铁电工艺
- 快速双线串行接口 (I²C)
 - 工作频率高达 1 MHz
 - 串行 (I²C) EEPROM 的直接硬件替代
 - 支持旧版时序中 100 kHz 和 400 kHz 的工作频率
- 低功耗
 - 频率为 100 kHz 时, 工作电流为 100 μA
 - 待机电流为 4 μA (典型值)
- 工作电压: $V_{DD} = 4.5 \text{ V} \sim 5.5 \text{ V}$
- 工业温度范围: $-40^\circ\text{C} \sim +85^\circ\text{C}$
- 8 引脚小外型集成电路 (SOIC) 封装
- 符合有害物质限制 (RoHS)

功能概述

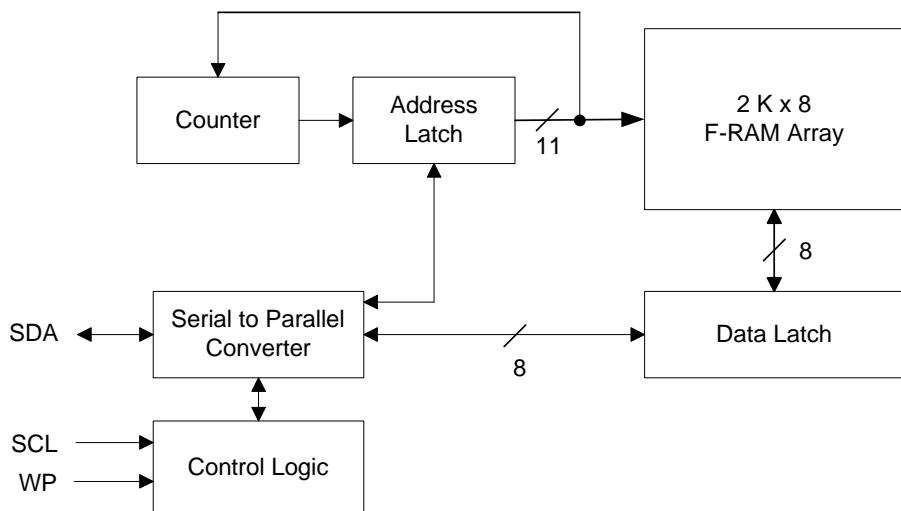
FM24C16B 是使用高级铁电工艺的 16 Kbit 非易失性存储器。铁电性随机存取存储器 (即 F-RAM) 是一种非易失性存储器, 其读和写操作方式与 RAM 一样。它提供了 151 年可靠的数据保留时间, 并解决了 EEPROM 和其他非易失性存储器中存在的复杂性、开销和系统级可靠性等问题。

与 EEPROM 不同, FM24C16B 以总线速度执行写操作, 并且它不会引起任何写操作延迟。每个字节成功传输到器件后, 数据立即被写入到存储器阵列内。这时, 可以开始执行下一个总线周期而不需要轮询数据。此外, 与其它非易失性存储器相比, 该产品提供了强大的写入耐久性。在执行写操作时, F-RAM 的功耗比 EEPROM 的低很多, 因为写入电路不要求内部提高电源电压。FM24C16B 能够提供 10^{14} 次的读 / 写周期, 或支持比 EEPROM 多 1 亿次的写周期。

由于具有这些特性, FM24C16B 非常适用于需要频繁或快速写操作的非易失性存储器应用。示例范围包括从数据记录 (其中写周期数量是非常重要的) 到满足工业控制 (其中 EEPROM 的较长写时间会使数据丢失)。使用功能组合可以实现更频繁的数据写入操作, 但仍会降低系统开销。

FM24C16B 可以直接代替串行 (I²C) EEPROM 的硬件, 从而能为用户提供了极大的方便。在 -40°C 到 $+85^\circ\text{C}$ 的工业温度范围内, 该器件规范得到保证。

逻辑框图

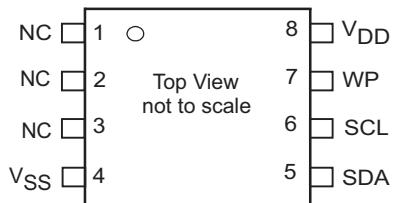


目录

引脚分布	3	电容	10
引脚定义	3	热电阻	10
概述	4	交流测试负载和波形	10
存储器架构	4	交流测试条件	10
I ² C 接口	4	交流开关特性	11
STOP 条件 (P)	4	电源周期时序	12
START 条件 (S)	4	订购信息	13
数据 / 地址传输	5	订购代码定义	13
应答 / 无应答	5	封装图	14
从器件地址	6	缩略语	15
寻址概述 (字地址)	6	文档规范	15
数据传输	6	测量单位	15
存储器操作	6	文档修订记录页	16
写操作	6	销售、解决方案和法律信息	17
读操作	7	全球销售和设计支持	17
擦写次数	8	产品	17
最大额定值	9	PSoC® 解决方案	17
工作范围	9	赛普拉斯开发者社区	17
直流电气特性	9	技术支持	17
数据保留时间与耐久性	10		

引脚分布

图 1. 8 引脚 SOIC 的引脚分布



引脚定义

引脚名称	I/O 类型	说明
SDA	输入 / 输出	串行数据 / 地址。 是指 I ² C 接口的双向引脚。它是开漏引脚，用于通过导线与 I ² C 总线上的其他器件相连（即为对这些器件的 SDA 信号执行“与”运算）。输入缓冲区与 Schmitt（施密特）触发器相结合，这样可以抵抗噪声干扰，同时输出驱动器用于控制下降沿的斜率。该引脚需要一个外部上拉电阻。
SCL	输入	串行时钟。 是指 I ² C 接口的串行时钟引脚。设备的数据从下降沿输出以及从上升沿输入。
WP	输入	写入保护。 该引脚与 V _{DD} 相连时，整个存储器映射的地址将处于写保护状态。该 WP 接地时，所有地址都处于写启用状态。这些引脚的电阻均被内部下拉。
V _{SS}	电源	设备的接地引脚。必须连接至系统地面端。
V _{DD}	电源	器件的电源输入。

概述

FM24C16B 是一个串行的 F-RAM 存储器。该存储器阵列采用了 $2,048 \times 8$ 位的逻辑组织方式，通过使用行业标准的 I²C 接口可以访问该存储器阵列。F-RAM 和串行 (I²C) EEPROM 具有相同的功能操作。与使用引脚分布相同的串行 (I²C) EEPROM 相比，FM24C16B 的 F-RAM 具有更优良的写性能、更高的耐久性以及更低的功耗。

存储器架构

访问 FM24C16B 时，用户寻址 2 K 地址的每 8 个数据位。这些 8 数据位被连续移入或移出。通过使用具有一个从器件地址（用于区分其他非存储器设备）、一个行地址和一个段地址的 I²C 协议可以访问用户地址。行地址包括指定 256 行之一的 8 位。该 3 位段地址指定 8 段之一的每一行。11 位的完整地址独立指定每个字节的地址。

存储器的访问时间几乎为零，但要考虑串行协议所需要的时间。从而才能确定该存储器以 I²C 总线进行读 / 写操作的速度。与串行 (I²C) EEPROM 不同的是，不需要轮询器件的就绪条件，因为写操作是以总线速度进行的。新的总线数据操作移入器件前，

需要完成写操作。更多详细信息，请参阅‘接口’部分介绍的内容。

注意：FM24C16B 仅使用一个简单的内部加电复位，并未使用任何电源管理电路。因此，用户必须确保 V_{DD} 处于数据手册的容差范围内，以阻止发生不正确的操作。

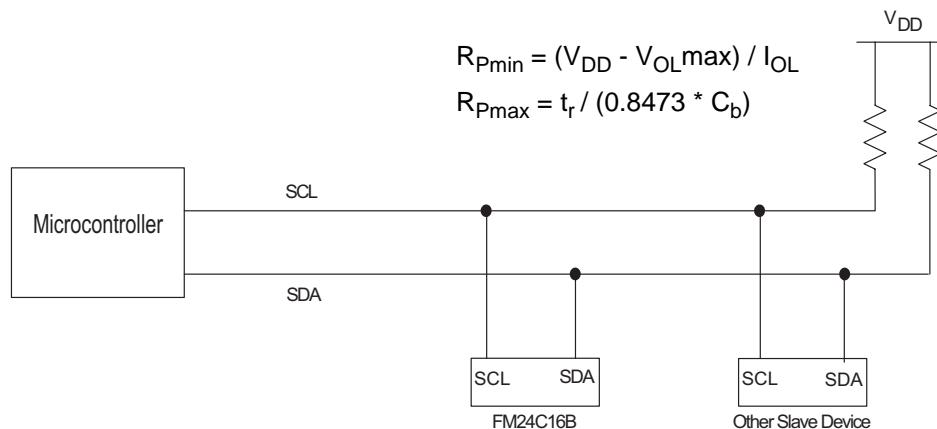
I²C 接口

FM24C16B 采用了一个占用少数几个引脚和电路板空间的双向 I²C 总线协议。图 2 显示的是使用 FM24C16B 的基于微控制器系统的典型系统配置。虽然很多用户已经熟悉了工业标准的 I²C 总线，但此节中仍会介绍该总线的相关信息。

按规定，在该总线上发送数据的器件被称为发送器，接收这些数据的目标器件被称为接收器。控制总线的器件是主器件。主器件负责为所有操作生成时钟信号。总线上所有受控制的器件均为从器件。FM24C16B 只能作为一个从器件。

总线协议由 SDA 和 SCL 信号的转换状态控制。共有四种条件，包括：START、STOP、数据位、或应答。图 3 和图 4 说明了指定四种状态的信号条件。有关详细的时序图，请参见电气规范部分。

图 2. 使用串行 (I²C) nvSRAM 的系统配置



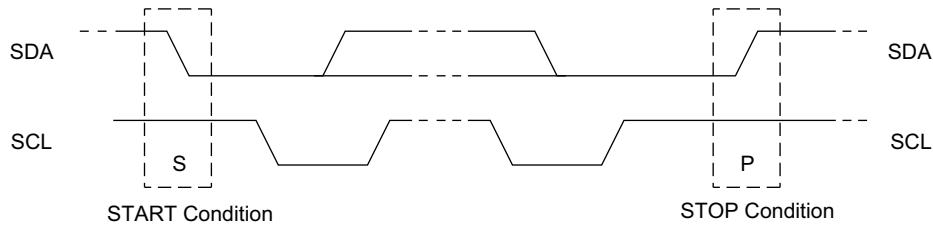
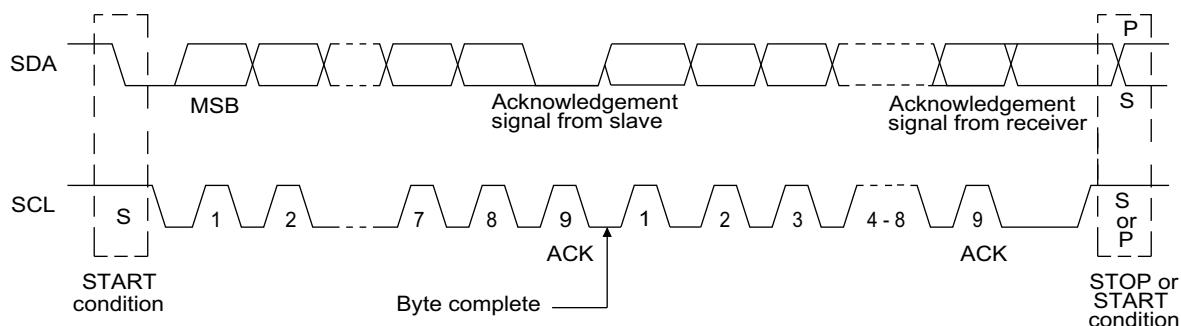
STOP 条件 (P)

STOP 条件为：SCL 信号为高电平状态，同时总线主器件将 SDA 信号的状态从低电平切换为高电平。使用 FM24C16B 的所有操作要以 STOP 条件结束。当激活 STOP 事件时，正在运行的某个操作将被终止。主器件要控制 SDA 以激活 STOP 条件。

START 条件 (S)

START 条件为：SCL 信号为高电平状态，同时，总线主器件将 SDA 信号的状态从高电平切换为低电平。发送所有指令之前要创建一个 START 条件。随时激活某个 START 条件，都能中止正在运行的操作。使用 START 事件终止某个操作会使 FM24C16B 准备执行新操作。

在操作过程中，如果电源电压下降到比指定的最小 V_{DD} 更小的值，那么，在执行其他操作前，系统先要发送一个 START 条件。

图 3. START 和 STOP 条件

图 4. I²C 总线上的数据传输


数据 / 地址传输

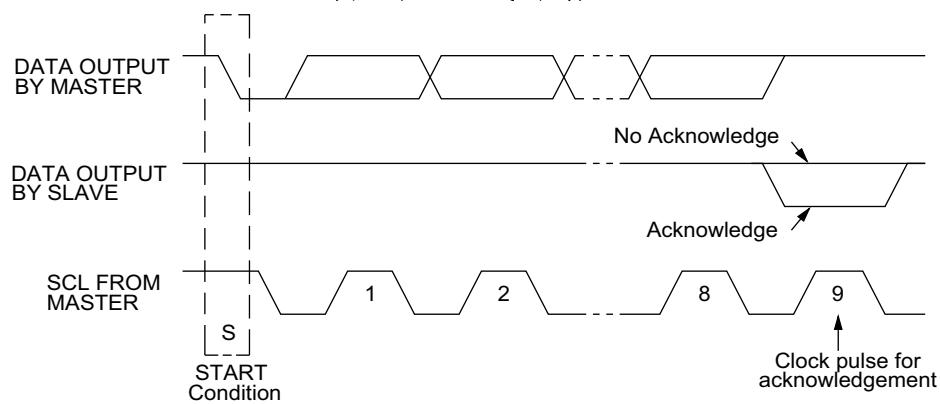
当 SCL 信号为高电平时，会进行所有数据的传输（包括地址）。除了在上述 2 种条件下，SCL 为高电平时也不能更改 SDA 信号。

应答 / 无应答

在任意的数据传输中，成功传输第 8 位数据后，都会发出应答信息。此时，发送器应释放 SDA 总线，以使接收器驱动该总线。接收器通过将 SDA 信号置于低电平来应答已经接收到所需字节。如果接收器未将 SDA 信号置于低电平，则表示无应答，同时相应的传输操作被中止。

接收器应答失败可能是由下面两个主要原因引起的。第一个原因是字节传输失败。在这种情况下，无应答条件将中止当前操作，以便器件进行重新寻址。在通信错误事件中，通过该条件可以恢复最后传输的字节。

第二个原因也是最常见的原因，接收器故意终止该操作，因此它不会应答。例如，在读取过程中，只要接收器发出应答（以及时钟信号），FM24C16B 将持续将数据发送给总线。当读取操作完成，并且无需传输任何数据时，接收器不能应答最后字节。如果它应答了最后字节，在主器件发送新指令（如 STOP）时，FM24C16B 将尝试在下一个时钟周期中驱动总线。

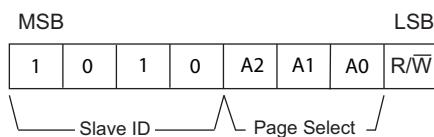
图 5. 在 I²C 总线上应答


从器件地址

发出 START 条件之后, FM24C16B 所期望的第一个字节是从器件地址。如图 6 中所示, 从器件地址包括器件类型、被访问的存储器页以及一个指定是读 / 写操作的位。

对于 FM24C16B, 位 7-4 是器件类型, 并应该被设置为 1010b。这些位允许其他功能类型在相同地址范围内常驻于 I²C 总线上。位 3-1 是页选择位。它指示针对当前操作的 256 字节存储器模块。位 0 是读 / 写位 (R/W)。R/W = 1 表示一个读操作, R/W = 0 表示一个写操作。

图 6. 存储器从器件地址



寻址概述 (字地址)

FM24C16B (作为接收器) 应答从器件地址后, 主器件可将字节地址放置在总线上, 以进行写操作。字地址是地址的低 8 位, 其与 3 位页选择组合以指示写入字节的地址 11 位的完整地址被内部锁存。在读操作过程中将不发生字地址传输, 但 3 位的页选择被内部锁存。读操作总是使用在地址锁存上内部保持的低 8 位。也就是说, 读取操作总是在跟随前一个访问的地址上开始。通过执行如下解释的写操作, 可以加载某个随机读取地址。

传输完每个数据字节后, 在做出应答前, FM24C16B 将递增内部地址锁存。这样就可以访问下一连续字节而无需额外寻址。达到最后地址 (7FFh) 之后, 地址锁存将翻转为 000h。单个读或写操作访问的字节数量是不限制的。

数据传输

发送完地址字节后, 可在总线主器件与 FM24C16B 之间开始传输数据。对于读操作, FM24C16B 会将 8 个数据位放置在总线上, 然后等待来自主器件的应答。如果得到应答, FM24C16B 将传输下一个连续字节。如果没有得到应答, 则 FM24C16B 将终止读操作。对于写操作, FM24C16B 将接收主器件的 8 数据位,

然后发出应答条件。所有数据传输都是以 MSB (最高有效位) 开始的。

存储器操作

FM24C16B 的操作方式被设计为与其他 I²C 接口存储器产品的工作方式大略相同。主要区别在于 F-RAM 技术的高性能写入操作。这些性能的改善可使 FM24C16B 与其配置相似的 EEPROM 在执行写操作时出现了差异。下面介绍了完整的读和写操作。

写操作

所有写操作都是以一个从器件地址开始的, 后面是一个字地址。总线主器件通过将从器件地址的 LSB (R/W 位) 设置为 ‘0’ 来表示一个写操作。寻址后, 总线主器件将每个数据字节发送到存储器, 然后存储器做出相应的应答。可以写入无数的连续字节。如果达到地址范围的最后地址, 地址计数器将从 7FFh 返回到 000h。

与其他非易失性存储器技术不同, 使用 F-RAM 技术时没有有效的写延迟。因为基础存储器的读写访问时间相等, 所以用户体验到总线上没有任何延迟。整个存储器周期的发生时间短于一个单总线周期。因此, 完成某个写操作后, 可立即进行任意的读 / 写操作。在这里不需要使用应答轮询技术 (该技术通过使用 EEPROM 确定某个写操作是否完成), 并且轮询的结果始终为就绪条件。

传输第 8 个数据位后, 将内部执行实际的存储器写操作。并且, 在发送应答信息前完成该操作。因此, 如果用户需要中止写操作而不要修改存储器中的内容, 则应该在传输第 8 个数据位前通过使用 START 或 STOP 条件实现该中止操作。FM24C16B 并不使用页缓冲功能。

可以使用 WP 引脚对存储器阵列进行写保护。只要将 WP 引脚设置为高电平条件 (V_{DD}) 便能够对所有地址进行写保护。FM24C16B 将无应答被写入到保护地址内的数据字节。此外, 如果尝试对这些地址进行写操作, 地址计数器也不会递增。将 WP 引脚设置为低电平状态 (V_{SS}), 可以禁用写保护功能。WP 的电阻被内部下拉。

图 7 和图 8 分别显示了单字节和多字节写周期。

图 7. 单字节写入

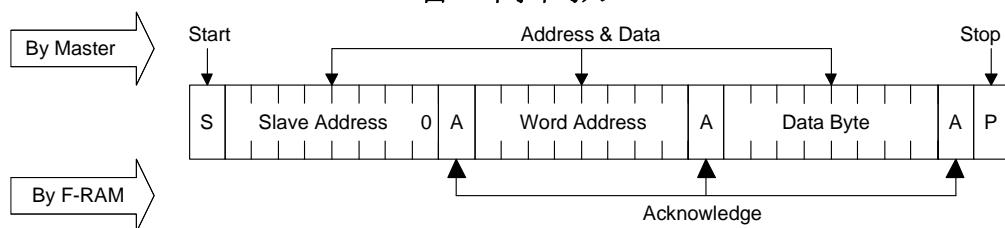
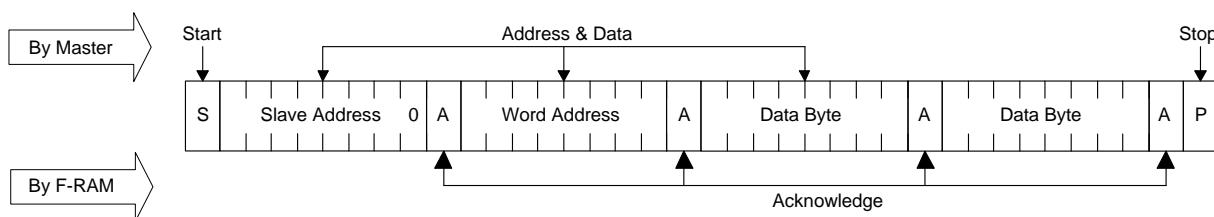


图 8. 多字节写入



读操作

存在两种基本的读取操作类型。分别为当前地址读取和选择性地址读取。对于当前地址读取，FM24C16B 使用了内部地址锁存来提供低 8 个地址位。对于选择性读取，用户通过执行一个流程将这些低地址位设置为一个特定值。

当前地址和连续读取

如上所述，FM24C16B 使用内部锁存为读操作提供低 8 个地址位。当前地址读取以地址锁存中现有的值开始读取操作。系统将从紧跟着最后访问位置的地址进行读取。

为执行当前地址读取，总线主器件将提供一个从器件地址，其中 LSB 被设置为 ‘1’。这指示请求了一个读操作。在从器件地址上的三位选择位指示用于读操作的存储器模块。经过接受完整从器件地址之后，在下一个时钟上，FM24C16B 将从当前地址开始址移出数据。当前地址是从器件地址的 3 位，其与在内部地址锁存上的 8 位组合。

从当前地址开始，总线主器件可以读取无数的字节。因此，一个连续读取是指多字节传输的当前地址读取。传输完每个字节后，内部地址计数器将被递增。

注意：总线主器件每次应答某个字节时，FM24C16B 表示应该读取下一个连续字节。

可通过四种方法正确终止读取操作。如果不能正常终止读操作，将发生总线冲突，因为 FM24C16B 将尝试读取总线上的额外数据。四种有效的方法分别是：

1. 总线主器件在第 9 个时钟周期内发送一个无应答条件，并在第 10 个时钟周期内发送 STOP 条件。如下面的框图所示。这是首选方法。
2. 总线主器件在第 9 个时钟周期内发送一个无应答信息，并在第 10 个时钟周期内发送 START 条件。
3. 总线主器件在第 9 个时钟周期内发送 STOP 条件。
4. 总线主器件在第 9 个时钟周期内发送 START 条件。

如果内部地址达到 7FFh，它将在下一个读周期中返回 000h。以下的图 9 和图 10 显示的是当前地址读取的正确操作。

图 9. 当前地址读取

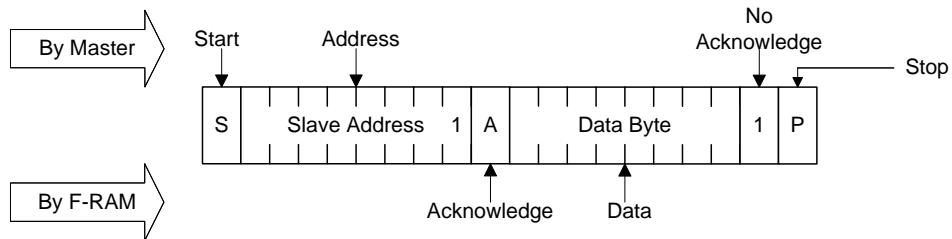
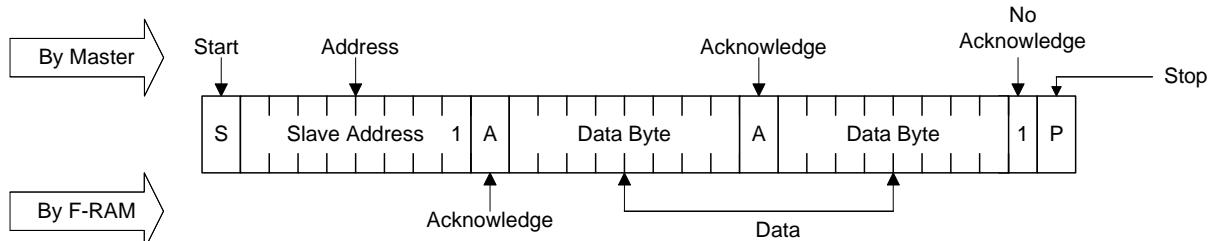


图 10. 连续读取



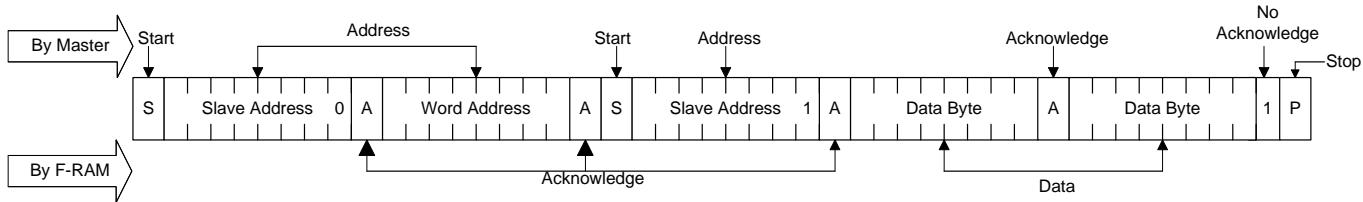
选择性（随机）读取

操作一种简单的技术，用户使用该技术能够选择一个随机地址位置作为读操作的起始点。用户可以使用写操作的前两个字节进行设置后续为读取操作的内部地址。

为执行一个选择性的读取操作，总线主器件将发送一个从器件地址，其中 LSB (R/W) 被设置为零，以表示要求执行一个写操

作。根据写入协议，总线主器件将发送需要加载到内部地址锁存的字地址字节。FM24C16B 应答该字地址后，总线主器件将生成一个 START 条件。这样会中止写操作，同时发送一个读指令，其中从器件地址中的 LSB 被设置为 ‘1’。要执行的操作变为当前地址读取操作。

图 11. 选择性（随机）读取



擦写次数

FM24C64B 以读取和恢复机制内部运行。因此，每个读 / 写周期均被视为进行了一次擦写。存储器架构是基于一个包括行和列的阵列。每个读或写操作访问均会引起在整一行上的耐久性周期。在 FM24C64B 中，一行具有 64 位宽。每个 8 字节边界标记着新

一行的开始。通过确保频繁访问数据位于不同行内，可以优化耐久性。无论如何，当 I²C 速度为 1 MHz 时，FRAM 的读和写耐久性还是不受限制的。即使在同一行上每秒访问 3000 次，发生 1 万亿耐久性周期之前，已经流逝的时间是 10 年。

最大额定值

超过最大额定值可能会缩短设备的使用寿命。这些用户指导未经测试。

存放温度	-55 °C 到 +125 °C
最高结温	95 °C
V _{DD} (相对于 V _{SS}) 的供电电压是.....	-1.0 V 至 +7.0 V
输入电压	-1.0 V 至 +7.0 V 和 V _{IN} < V _{DD} + 1.0 V
High Z (高阻抗) 状态中输出所使用的直流电压.....	0.5 V 至 V _{DD} + 0.5 V
处于接地电位的任何引脚上的瞬变电压 (< 20 ns)	-2.0 V 到 V _{DD} + 2.0 V
封装功率散耗能力为 (T _A = 25 °C)	1.0 W

直流电气特性

在工作范围内

参数	说明	测试条件	最小值	典型值 ^[1]	最大值	单位
V _{DD}	电源		4.5	5.0	5.5	V
I _{DD}	V _{DD} 平均电流	f _{SCL} = 100 kHz	-	-	100	μA
		f _{SCL} = 400 kHz	-	-	200	μA
		f _{SCL} = 1 MHz	-	-	400	μA
I _{SB}	待机电流	SCL = SDA = V _{DD} 。所有其他输入的电压为 V _{SS} 或 V _{DD} 。发出 Stop 指令。	-	4	10	μA
I _{LI}	输入漏电流 (WP 引脚除外)	V _{SS} ≤ V _{IN} ≤ V _{DD}	-1	-	+1	μA
	输入漏电流 (WP 引脚)	V _{SS} ≤ V _{IN} ≤ V _{DD}	-1	-	+100	μA
I _{LO}	输出漏电流	V _{SS} ≤ V _{IN} ≤ V _{DD}	-1	-	+1	μA
V _{IH}	输入高电平电压		0.7 × V _{DD}	-	V _{DD} + 0.3	V
V _{IL}	输入低电压电压		-0.3	-	0.3 × V _{DD}	V
V _{OL}	输出低电平电压	I _{OL} = 3 mA	-	-	0.4	V
R _{in} ^[2]	输入电阻 (WP)	在 V _{IN} = V _{IL} (Max) 条件下	40	-	-	kΩ
		在 V _{IN} = V _{IH} (Min) 条件下	1	-	-	MΩ
V _{HYS} ^[3]	输入迟滞		0.05 × V _{DD}	-	-	V

注释:

1. 典型值的条件为: 环境温度为 25 °C, V_{DD} = V_{DD} (典型值)。并非 100% 进行了测试。
2. 当输入电压小于 V_{IL} 时, 输入下拉电路为强 (40 kΩ), 输入电压大于 V_{IH} 时, 则它为弱 (1 MΩ)。
3. 这些参数由设计决定, 并未经过测试。

数据保留时间与耐久性

参数	说明	测试条件	最小值	最大值	单位
T_{DR}	数据保留时间	$T_A = 85^\circ\text{C}$	10	-	年
		$T_A = 75^\circ\text{C}$	38	-	
		$T_A = 65^\circ\text{C}$	151	-	
NV_C	擦写次数	在工作温度范围内	10^{14}	-	周期

电容

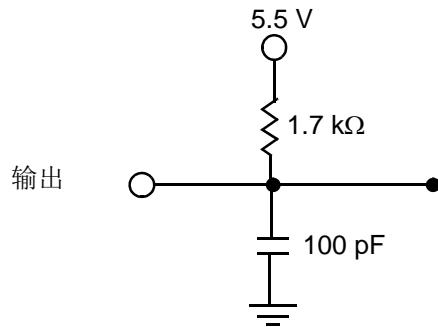
参数 ^[4]	说明	测试条件	最大值	单位
C_O	输出引脚电容 (SDA)	$T_A = 25^\circ\text{C}, f = 1 \text{ MHz}, V_{DD} = V_{DD}$ (典型值)	8	pF
C_I	输入引脚电容		6	pF

热电阻

参数 ^[4]	说明	测试条件	8 引脚 SOIC	单位
Θ_{JA}	热阻 (结至环境)	根据 EIA/JESD51 的要求, 测试条件遵循测试热阻测试方法和过程的标准。	147	$^\circ\text{C/W}$
Θ_{JC}	热阻 (结至外壳)		47	$^\circ\text{C/W}$

交流测试负载和波形

图 12. 交流测试负载和波形



交流测试条件

- 输入脉冲电平 V_{DD} 的 10% 和 90%
- 输入上升和下降时间 10 ns
- 输入和输出时序参考电平 $0.5 \times V_{DD}$
- 输出负载电容 100 pF

注释:

- 4. 这些参数由设计决定，并未经过测试。

交流开关特性

在工作范围内

参数 ^[5]	备用参数	说明	最小值	最大值	最小值	最大值	最小值	最大值	单位
f_{SCL} ^[6]		SCL 时钟频率	—	0.1	—	0.4	—	1.0	MHz
$t_{SU:STA}$		用于重复启动的启动条件建立时间	4.7	—	0.6	—	0.25	—	μs
$t_{HD:STA}$		START 条件的保持时间	4.0	—	0.6	—	0.25	—	μs
t_{LOW}		时钟为低电平的周期	4.7	—	1.3	—	0.6	—	μs
t_{HIGH}		时钟为高电平的周期	4.0	—	0.6	—	0.4	—	μs
$t_{SU:DAT}$	$t_{SU:DATA}$	数据输入的建立时间	250	—	100	—	100	—	ns
$t_{HD:DAT}$	$t_{HD:DATA}$	数据输入的保持时间	0	—	0	—	0	—	ns
t_{DH}		从在 V_{IL} 时的 SCL 到数据输出的保持时间	0	—	0	—	0	—	ns
$t_r^{[7]}$	t_r	输入上升时间	—	1000	—	300	—	300	ns
$t_f^{[7]}$	t_f	输入下降时间	—	300	—	300	—	100	ns
$t_{SU:STO}$		STOP 条件的建立时间	4.0	—	0.6	—	0.25	—	μs
t_{AA}	$t_{VD:DATA}$	从 SCL 低电平 (LOW) 到 SDA 数据输出有效的时间	—	3	—	0.9	—	0.55	μs
t_{BUF}		进行新一次数据传输前总线空载的时间	4.7	—	1.3	—	0.5	—	μs
t_{SP}		在 SCL、SDA 上的噪声抑制时间常量	—	50	—	50	—	50	ns

图 13. 读总线时序框图

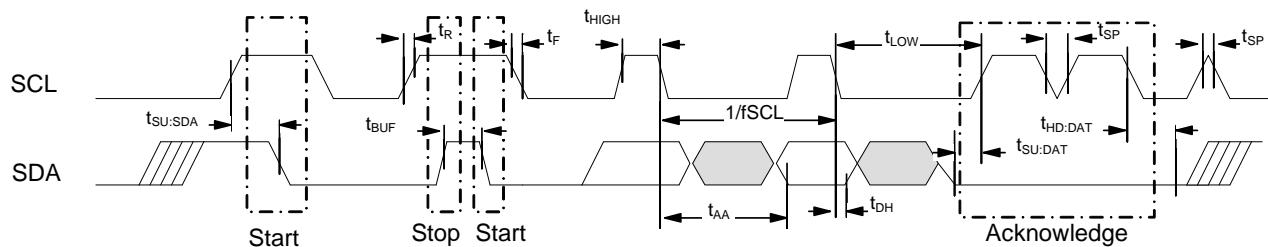
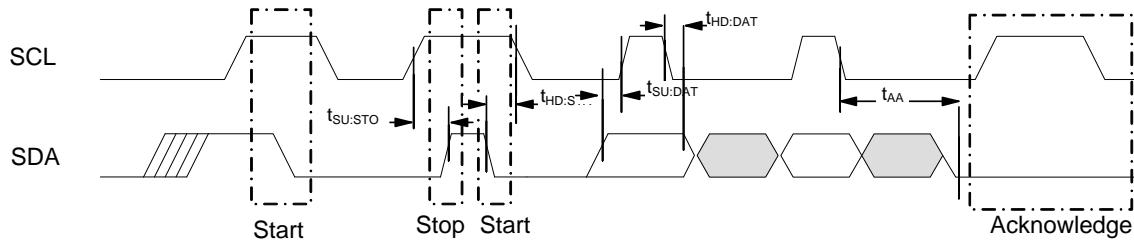


图 14. 写总线时序框图



注释:

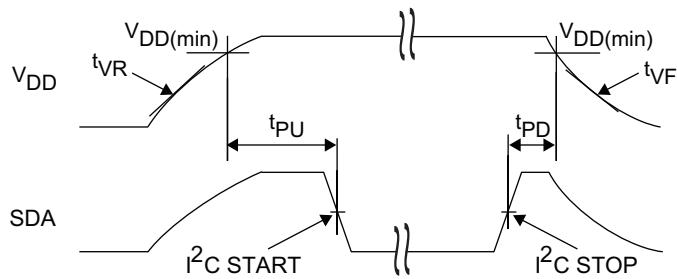
5. 测试条件包括: 10 ns 或更短的信号跃变时间; $V_{DD}/2$ 的时序参考电平; 0 V 至 V_{DD} (典型值) 的输入脉冲电平以及图 12 所示的指定 I_{OL} 的输出负载和负载电容。
6. 与速度相关的规范由直流 - f_{SCL} (最大值) 的连续操作曲线上各个特征点保证。
7. 这些参数由设计决定，并未经过测试。

电源周期时序

在工作范围内

参数	说明	最小值	最大值	单位
t_{PU}	给 V_{DD} (最小值) 加电到第一次访问 (START 条件) 的时长	1	-	ms
t_{PD}	从最后一次访问 (STOP 条件) 到断电 (V_{DD} (最小值)) 的时间	0	-	μs
t_{VR} [8、9]	V_{DD} 加电升降速率	30	-	μs/V
t_{VF} [8、9]	V_{DD} 断电升降速率	30	-	μs/V

图 15. 电源周期时序



注释:

8. 在 V_{DD} 波形的任何位置测量斜率。
9. 由设计决定。

订购信息

订购代码	封装图	封装类型	工作范围
FM24C16B-G	001-85066	8 引脚 SOIC	工业级
FM24C16B-GTR			

这些器件都是无铅的。要了解这些器件的供应情况，请联系赛普拉斯本地销售代表。

订购代码定义

FM 24 C 16 B – G TR

选项：
空白 = 标准; T = 盘带封装

封装类型: G = 8 引脚 SOIC

Die 版本 = B

密度: 16 = 16 kbit

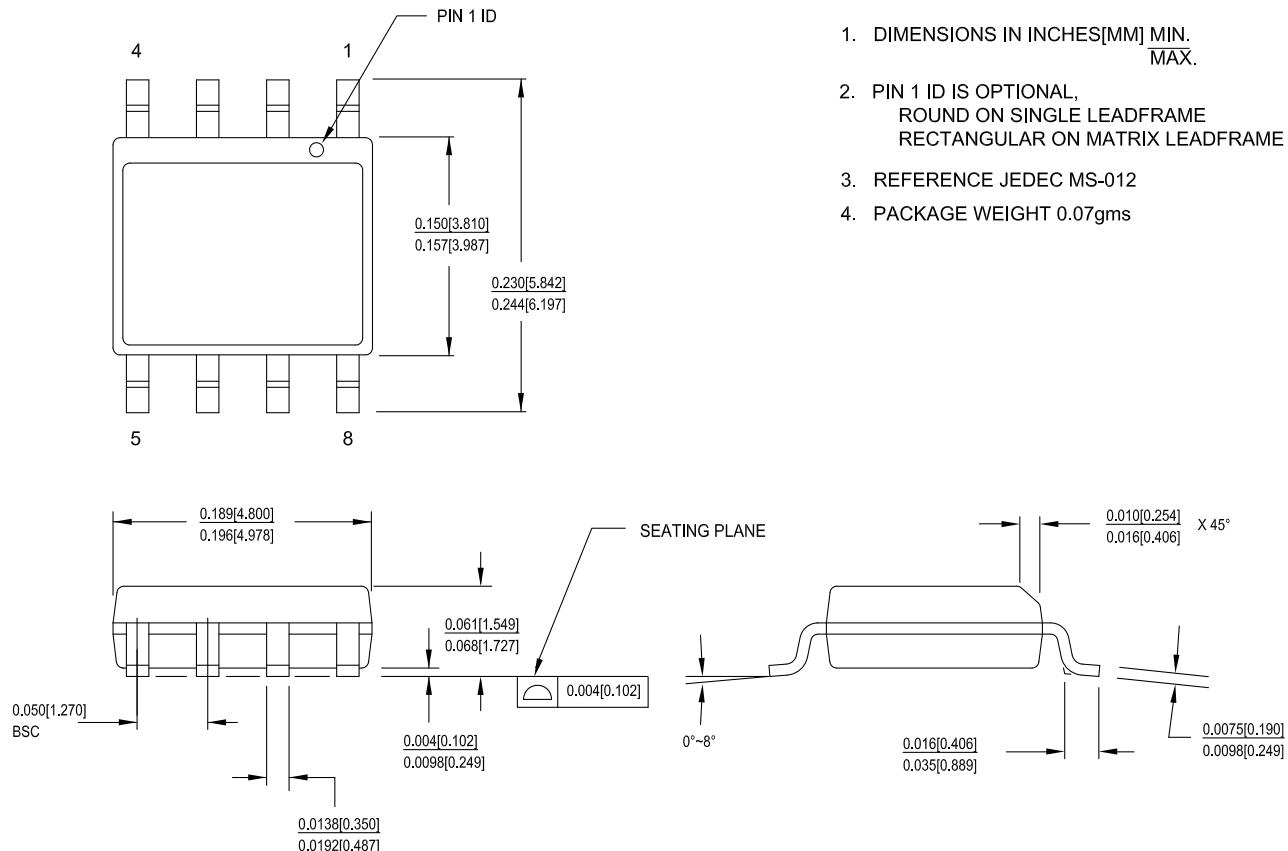
电压: C = 4.5 V 至 5.5 V

I²C F-RAM

赛普拉斯

封装图

图 16. 8 引脚 SOIC (150 mils) 封装外形, 51-85066



51-85066 *F

缩略语

缩略语	说明
ACK	应答
CMOS	互补金属氧化物半导体
EIA	电子工业联盟
I ² C	内部集成电路
I/O	输入 / 输出
JEDEC	联合电子器件工程委员会
LSB	最低有效位
MSB	最高有效位
NACK	无应答
RoHS	有害物质限制
R/W	读 / 写
SCL	串行时钟线
SDA	串行数据访问
SOIC	小型塑封集成电路
WP	写保护

文档规范

测量单位

符号	测量单位
°C	摄氏度
Hz	赫兹
KB	1024 位
kHz	千赫兹
kΩ	千欧姆
MHz	兆赫
MΩ	兆欧姆
μA	微安
μs	微秒
mA	毫安
ms	毫秒
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
V	伏特
W	瓦特

文档修订记录页

文档标题: FM24C16B, 16 Kbit (2 K × 8) 串行 (I²C) F-RAM
文档编号: 001-93835

修订版本	ECN 编号	提交日期	原始变更	变更说明
**	4480457	09/25/2014	LISZ	本文档版本号为 Rev**, 译自英文版 001-84450 Rev*F。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲区	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 / 射频	cypress.com/go/wireless
	FM24VN10

PSoC® 解决方案

psoc.cypress.com/solutions
PSoC 1 PSoC 3 PSoC 4 PSoC 5LP

赛普拉斯开发者社区

社区	论坛	博客	视频	训练
--------------------	--------------------	--------------------	--------------------	--------------------

技术支持

cypress.com/go/support
--

© 赛普拉斯半导体公司，2013-2014。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其它电路的使用承担责任。也不会根据专利权或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯产品不保证能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯的明确书面许可，不得对这类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不仅限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担责任。对于合理预计可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用于赛普拉斯软件许可协议的限制。