

THS4631 高电压、高压摆率、宽带 FET 输入运算放大器

1 特性

- 高带宽：
 - 325MHz 单位增益
 - 210MHz 增益带宽积
- 高压摆率：
 - 900V/ μ s ($G = 2$)
 - 1000V/ μ s ($G = 5$)
- 5MHz 下的 -76dB 低失真, SFDR
- 最大输入偏置电流: 100pA
- 输入电压噪声: 7nV/ $\sqrt{\text{Hz}}$
- 最大输入偏移电压: 25°C 时的 500 μ V
- 低温漂: 2.5 μ V/°C
- 输入阻抗: $10^9 \parallel 3.9\text{pF}$
- 宽电源电压范围: $\pm 5\text{V}$ 至 $\pm 15\text{V}$
- 高输出电流: 95mA

2 应用

- 宽带光电二极管放大器
- 高速互阻抗增益级
- 测试和测量系统
- 电流 DAC 输出缓冲器
- 有源滤波
- 高速信号积分器
- 高阻抗缓冲器

3 说明

THS4631 是一款高速 FET 输入运算放大器，专为需要宽带运行、高输入阻抗和高电源电压的应用而设计。依

托 210MHz 增益带宽积、 $\pm 15\text{V}$ 电源运行和 100pA 输入偏置电流，THS4631 可同步实现宽带互阻抗增益和大输出信号摆幅。高达 1000V/ μ s 的压摆率可在高频下实现快速趋稳时间和良好的谐波失真。低电流和低电压噪声允许放大超低电平的输入信号，同时仍保持较高的信噪比。

这些高性能特性使得 THS4631 非常适合用作宽带光电二极管放大器。光电二极管输出电流是互阻抗放大的理想对象。其他潜在应用包括需要高输入阻抗、ADC 和 DAC 缓冲、高速集成和有源滤波的测试与测量系统。

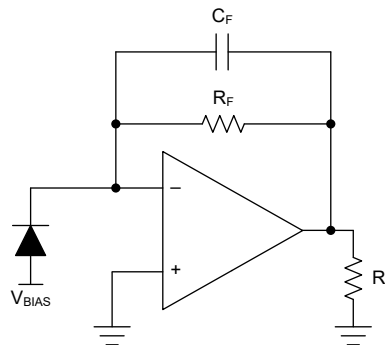
THS4631 支持 8 引脚 SOIC (D) 封装以及采用 PowerPAD™ 集成电路封装的 8 引脚 HSOIC (DDA) 和 HVSSOP (DGN) 封装。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
THS4631	D (SOIC, 8)	4.9mm × 6mm
	DDA (HSOIC, 8)	4.9mm × 6mm
	DGN (HVSSOP, 8)	3mm × 4.9mm

(1) 有关所有可用封装，请参阅节 11。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



光电二极管电路



内容

1 特性.....	1	8.1 应用信息.....	14
2 应用.....	1	8.2 典型应用.....	15
3 说明.....	1	8.3 电源相关建议.....	21
4 相关产品.....	2	8.4 布局.....	22
5 引脚配置功能.....	2	9 器件和文档支持.....	26
6 规格.....	3	9.1 器件支持.....	26
6.1 绝对最大额定值.....	3	9.2 文档支持.....	29
6.2 ESD 等级.....	3	9.3 接收文档更新通知.....	29
6.3 建议运行条件.....	3	9.4 支持资源.....	29
6.4 热性能信息.....	3	9.5 商标.....	29
6.5 电气特性.....	4	9.6 静电放电警告.....	30
6.6 典型特性.....	6	9.7 术语表.....	30
7 参数测量信息.....	13	10 修订历史记录.....	30
8 应用和实施.....	14	11 机械、封装和可订购信息.....	31

4 相关产品

器件	V _S (V)	GBWP (MHz)	率 (V/ μ s)	电压噪声 (nV/ $\sqrt{\text{Hz}}$)	最小 增益
OPA656	± 5	230	400	6	1
OPA657	± 5	1600	700	4.8	7
OPA627	± 15	16	55	4.5	1
THS4601	± 15	180	100	5.4	1

5 引脚配置功能

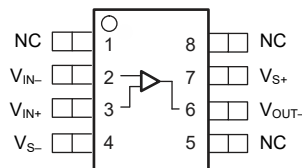


图 5-1. D 封装、8 引脚 SOIC
DDA 封装、8 引脚 HSOIC
和 DGN 封装、8 引脚 HVSSOP (顶视图)

表 5-1. 引脚功能

引脚		类型	说明
名称	编号		
NC	1	—	无内部连接
NC	5	—	无内部连接
NC	8	—	无内部连接
V _{IN-}	2	输入	反相输入
V _{IN+}	3	输入	同相输入
V _{OUT-}	6	输出	放大器输出
V _{S-}	4	输入	负电源连接
V _{S+}	7	输入	正电源连接
散热焊盘	散热焊盘	—	仅适用于 DDA 和 DGN 封装。散热焊盘内部连接到 V ₋ 。即使是功耗较低的应用，散热焊盘也必须焊接到连接至 V ₋ 的印刷电路板 (PCB) 上。

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
V _S	电源电压, V _{S-} 至 V _{S+}		33	V
V _I	输入电压	-V _S	+V _S	V
I _O	输出电流		150	mA
	连续功耗	请参阅热性能信息		
T _J	结温 ⁽²⁾		150	°C
T _A	自然通风条件下的工作温度, 持续运行, 长期可靠 ⁽²⁾		125	°C
T _{stg}	贮存温度	-65	150	°C

- (1) 任何情况下的绝对最大额定值都受器件工艺限制。超过这些额定值的应力可能会造成损坏。长时间处于绝对最大条件下可能会降低器件的可靠性。这些列出的值仅仅是应力等级, 并不意味着器件在这些条件或者超出指定条件的任何其他条件下能够正常运行。
- (2) 针对持续运行的最大结温受到封装的限制。在超过此温度的条件下运行有可能降低器件的可靠性并/或缩短使用寿命。

6.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±1000	V
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±1500	
		机器模型 (MM)	±100	

- (1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

			最小值	最大值	单位
V _S	电源电压	双电源	±5	±15	V
		单电源	10	30	V
T _A	自然通风条件下的工作温度范围		-40	85	°C

6.4 热性能信息

热指标 ⁽¹⁾		THS4631			单位
		D (SOIC)	DDA (HSOIC)	DGN (HVSSOP)	
		8 引脚	8 引脚	8 引脚	
R _{θJA}	结至环境热阻	95	45.8	58.4	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	38.3	9.2	4.7	°C/W
R _{θJB}	结至电路板热阻	不适用	不适用	不适用	°C/W
Ψ _{JT}	结至顶部特征参数	不适用	不适用	不适用	°C/W
Ψ _{JB}	结至电路板特征参数	不适用	不适用	不适用	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	不适用	不适用	不适用	°C/W

- (1) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标](#) 应用报告。

6.5 电气特性

在 $V_S = \pm 15V$ 、 $R_F = 499\Omega$ 、 $R_L = 1k\Omega$ 、 $G = 2$ 且 $T_A = 25^\circ C$ 时测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
交流性能					
微小信号带宽, -3dB	$G = 1, R_F = 0\Omega, V_O = 200mV_{PP}$		325		MHz
	$G = 2, R_F = 499\Omega, V_O = 200mV_{PP}$		105		
	$G = 5, R_F = 499\Omega, V_O = 200mV_{PP}$		55		
	$G = 10, R_F = 499\Omega, V_O = 200mV_{PP}$		25		
增益带宽积	$G \geq 20$		210		MHz
0.1dB 带宽平坦度	$G = 2, R_F = 499\Omega, C_F = 8.2pF$		6		MHz
	$G = 2, R_F = 499\Omega$		20		
大信号带宽	$G = 2, R_F = 499\Omega, V_O = 2V_{PP}$		105		MHz
压摆率	$G = 2, R_F = 499\Omega, V_O = 2V$ 阶跃		550		V/ μs
	$G = 2, R_F = 499\Omega, V_O = 10V$ 阶跃		900		
	$G = 5, R_F = 499\Omega, V_O = 10V$ 阶跃		1000		
上升和下降时间	2V 阶跃		5		ns
趋稳时间	0.1%, $G = -1, V_O = 2V$ 阶跃, $C_F = 4.7pF$		40		ns
	0.01%, $G = -1, V_O = 2V$ 阶跃, $C_F = 4.7pF$		190		
二次谐波失真	$G = 2, V_O = 2V_{PP}, f = 5MHz$	$R_L = 100\Omega$	-65		dBc
		$R_L = 1k\Omega$	-76		
三次谐波失真	$G = 2, V_O = 2V_{PP}, f = 5MHz$	$R_L = 100\Omega$	-62		dBc
		$R_L = 1k\Omega$	-94		
谐波失真					
输入电压噪声	$f > 10kHz$		7		nV/ \sqrt{Hz}
输入电流噪声	$f > 10kHz$		20		fA/ \sqrt{Hz}
直流性能					
开环增益	$R_L = 1k\Omega$		70	80	dB
		$T_A = -40^\circ C$ 至 $+85^\circ C$	65		
输入失调电压 ⁽¹⁾	$V_{CM} = 0V$		± 260	± 500	μV
		$T_A = -40^\circ C$ 至 $+85^\circ C$		± 2000	
平均失调电压漂移 ⁽¹⁾	$V_{CM} = 0V, T_A = -40^\circ C$ 至 $+85^\circ C$		± 2.5	± 12	$\mu V/^\circ C$
输入偏置电流	$V_{CM} = 0V$		± 50	± 100	pA
		$T_A = -40^\circ C$ 至 $+85^\circ C$		± 2000	
输入失调电流	$V_{CM} = 0V$		± 25	± 100	pA
		$T_A = -40^\circ C$ 至 $+85^\circ C$		± 1000	
输入特性					
共模输入电压, 高		11.5	12		V
	$T_A = -40^\circ C$ 至 $+85^\circ C$	11			
共模输入电压, 低			-13	-12.5	V
	$T_A = -40^\circ C$ 至 $+85^\circ C$			-9	
共模抑制比	$V_{CM} = \pm 10V$		86	95	dB
		$T_A = -40^\circ C$ 至 $+85^\circ C$	80		
差分输入阻抗			$10^9 \parallel 3.9$		$\Omega \parallel pF$
共模输入阻抗			$10^9 \parallel 3.9$		$\Omega \parallel pF$

6.5 电气特性 (续)

在 $V_S = \pm 15V$ 、 $R_F = 499\Omega$ 、 $R_L = 1k\Omega$ 、 $G = 2$ 且 $T_A = 25^\circ C$ 时测得 (除非另有说明)

参数	测试条件		最小值	典型值	最大值	单位
输出特性						
输出电压摆幅	$R_L = 100\Omega$		± 10	± 11		V
		$T_A = -40^\circ C$ 至 $+85^\circ C$	± 9.5			
	$R_L = 1k\Omega$		± 13	± 13.5		
		$T_A = -40^\circ C$ 至 $+85^\circ C$	± 12.8			
静态输出电流 (拉电流)	$R_L = 20\Omega$		120	180		mA
		$T_A = -40^\circ C$ 至 $+85^\circ C$	90			
静态输出电流 (灌电流)	$R_L = 20\Omega$			-180	-120	mA
		$T_A = -40^\circ C$ 至 $+85^\circ C$			-90	
闭环输出阻抗	$G = 1, f = 1MHz$			0.1		Ω
电源						
额定工作电压			± 4	± 15	± 16.5	V
		$T_A = -40^\circ C$ 至 $+85^\circ C$	± 4		± 16.5	V
静态电流			10	12.5	14.5	mA
		$T_A = -40^\circ C$ 至 $+85^\circ C$	9		15	
电源抑制 (PSRR +)	$V_{S+} = 15.5V$ 至 $14.5V$, $V_{S-} = 15V$		85	95		dB
		$T_A = -40^\circ C$ 至 $+85^\circ C$	80			
电源抑制 (PSRR -)	$V_{S+} = 15V$, $V_{S-} = -15.5V$ 至 $-14.5V$		85	95		dB
		$T_A = -40^\circ C$ 至 $+85^\circ C$	80			

(1) 输入偏移电压在 $25^\circ C$ 条件下经过 100% 测试, 并根据特征和仿真在所列温度范围内进行测定。

6.6 典型特性

在 $V_S = \pm 15V$ 、 $R_F = 499\Omega$ 、 $R_L = 1k\Omega$ 、 $G = 2$ 、 $C_F = 0pF$ 且 $T_A = 25^\circ C$ 时测得 (除非另有说明)

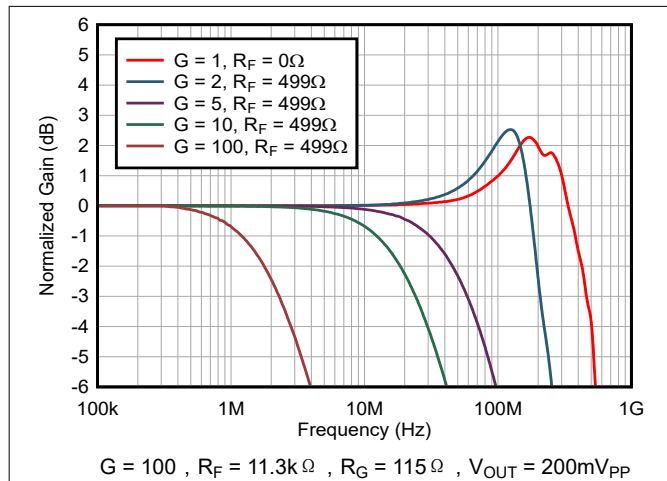


图 6-1. 小信号频率响应

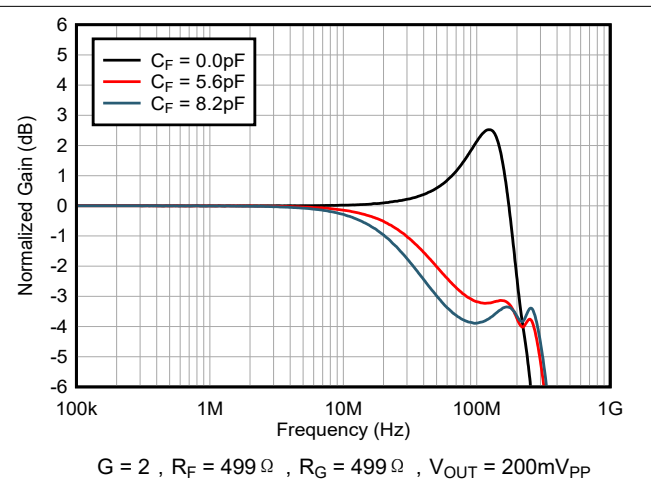


图 6-2. 小信号频率响应

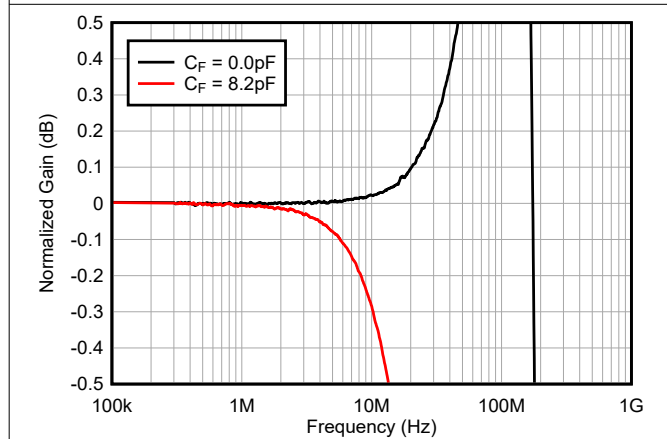


图 6-3. 0.1dB 平坦度

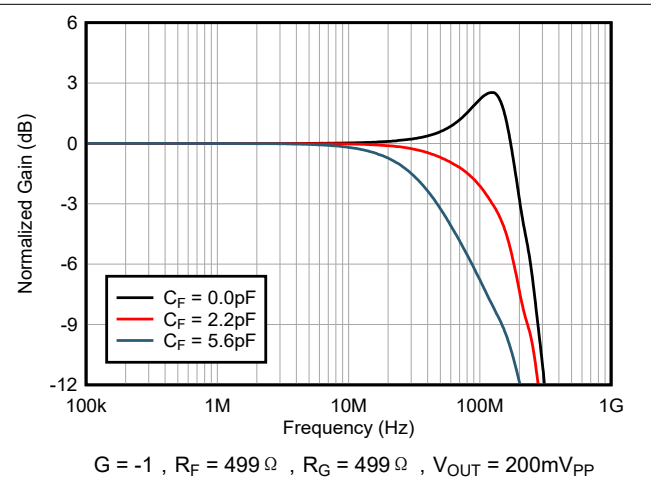


图 6-4. 小信号频率响应

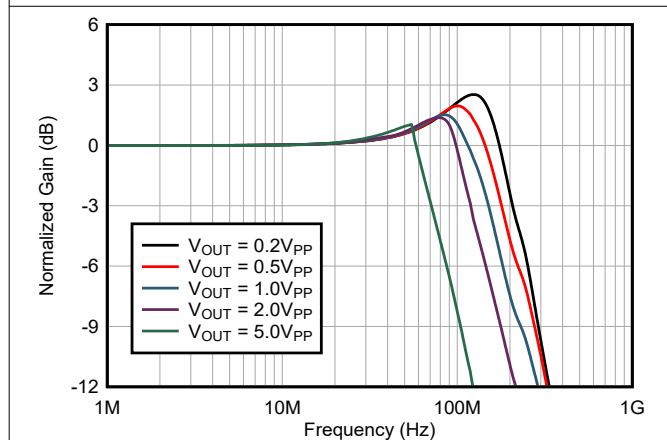


图 6-5. 大信号频率响应

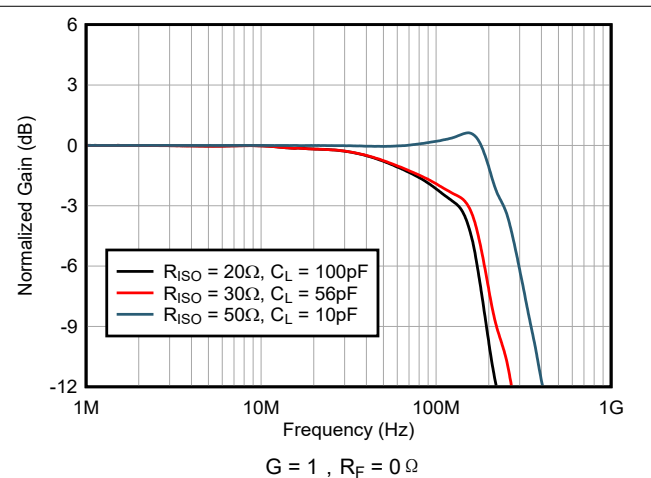


图 6-6. 频率响应与容性负载间的关系

6.6 典型特性 (续)

在 $V_S = \pm 15V$ 、 $R_F = 499\Omega$ 、 $R_L = 1k\Omega$ 、 $G = 2$ 、 $C_F = 0pF$ 且 $T_A = 25^\circ C$ 时测得 (除非另有说明)

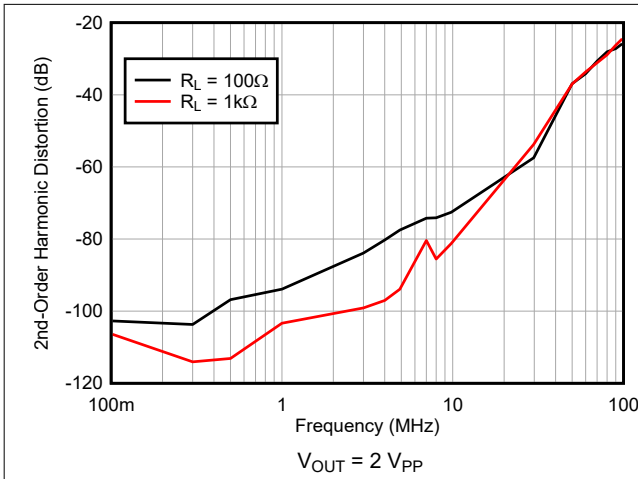


图 6-7. 第二谐波失真与频率间的关系

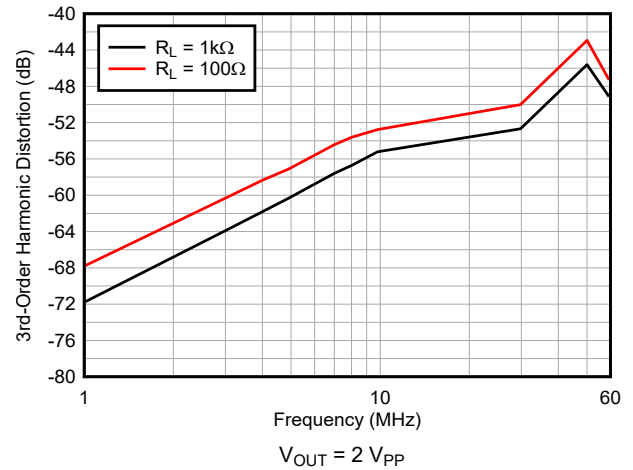


图 6-8. 第三谐波失真与频率间的关系

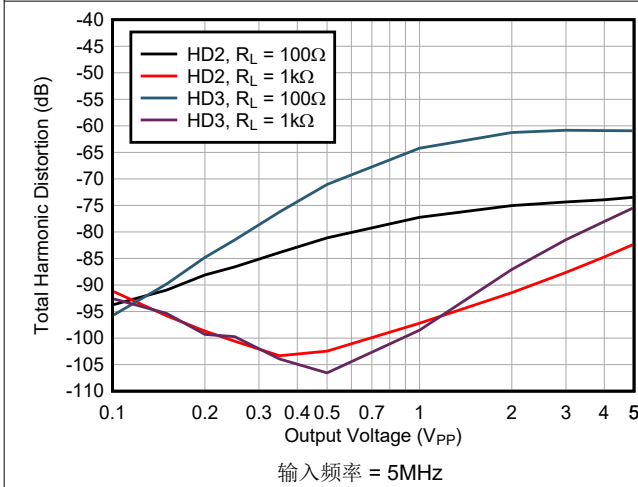


图 6-9. 谐波失真与输出电压摆幅间的关系

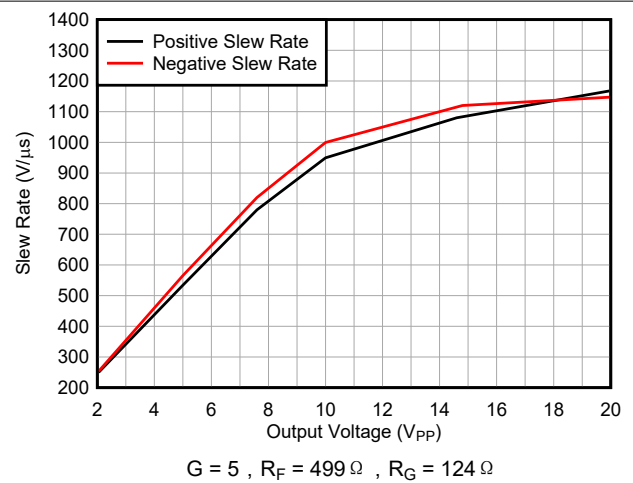


图 6-10. 压摆率与输出电压间的关系

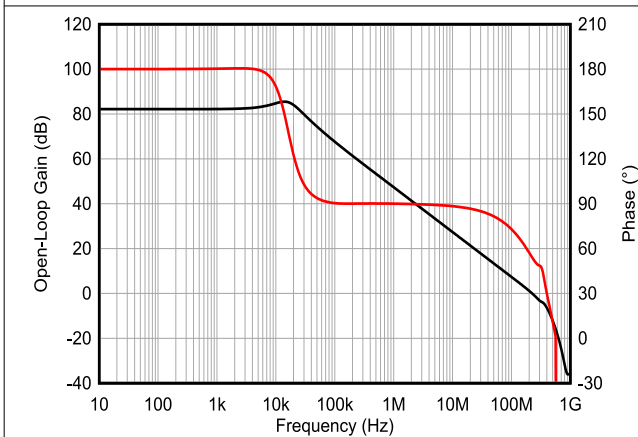


图 6-11. 开环增益和相位与频率间的关系

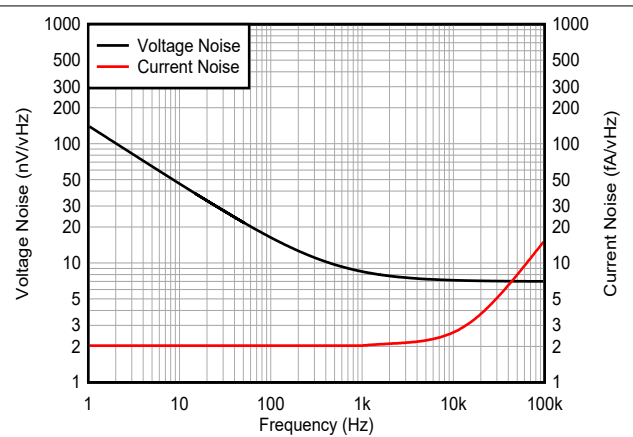


图 6-12. 输入电压和电流噪声与频率间的关系

6.6 典型特性 (续)

在 $V_S = \pm 15V$ 、 $R_F = 499\Omega$ 、 $R_L = 1k\Omega$ 、 $G = 2$ 、 $C_F = 0pF$ 且 $T_A = 25^\circ C$ 时测得 (除非另有说明)

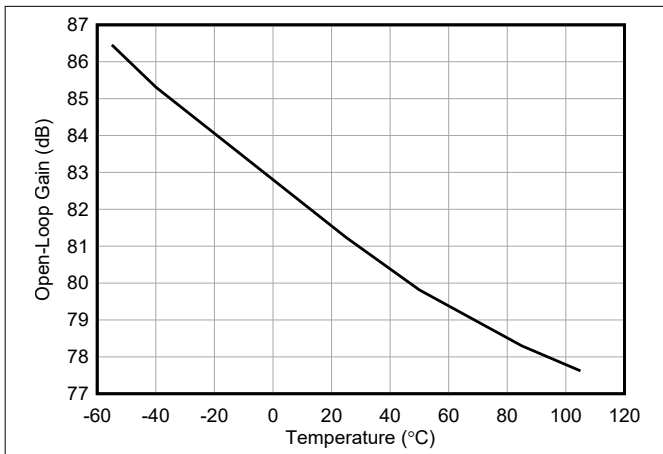


图 6-13. 开环增益与温度间的关系

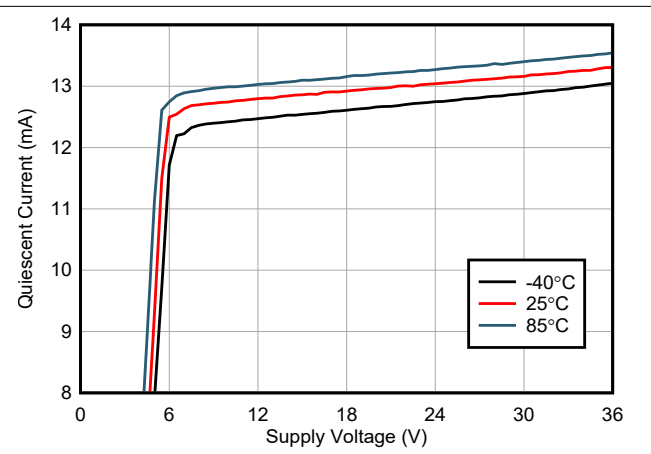


图 6-14. 静态电流与电源电压间的关系

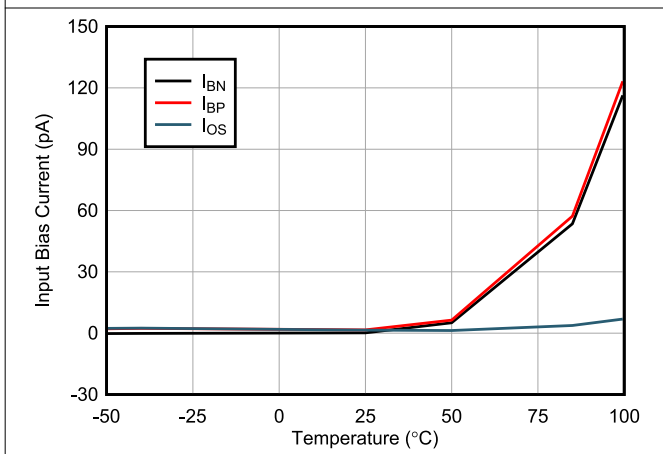


图 6-15. 输入偏置电流与温度间的关系

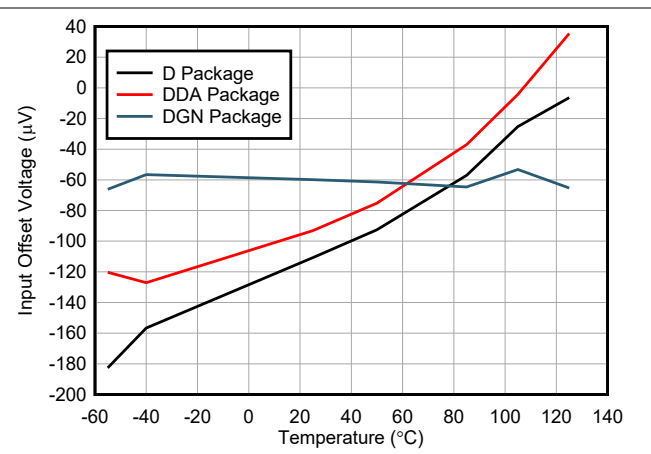


图 6-16. 输入失调电压与温度间的关系

6.6 典型特性 (续)

在 $V_S = \pm 15V$ 、 $R_F = 499\Omega$ 、 $R_L = 1k\Omega$ 、 $G = 2$ 、 $C_F = 0pF$ 且 $T_A = 25^\circ C$ 时测得 (除非另有说明)

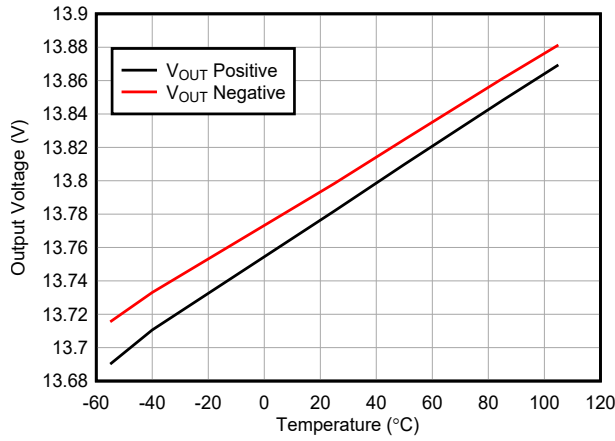


图 6-17. 输出电压与温度间的关系

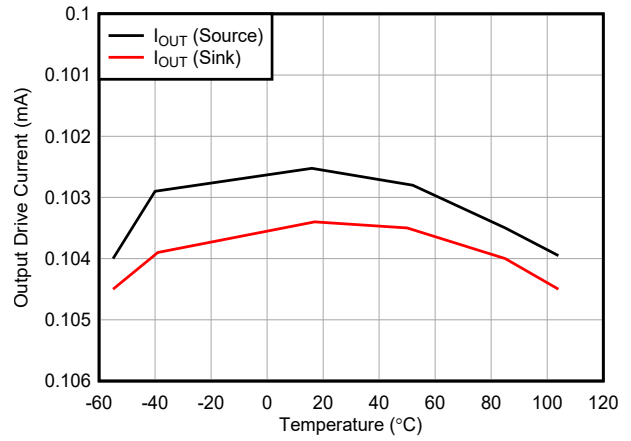


图 6-18. 静态输出驱动电流与温度间的关系

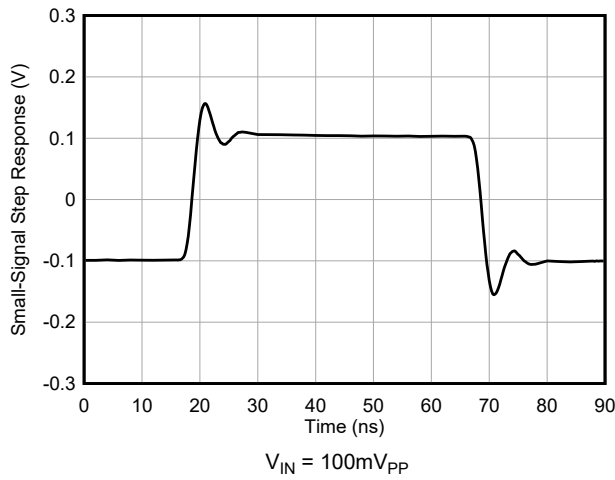


图 6-19. 小信号瞬态响应

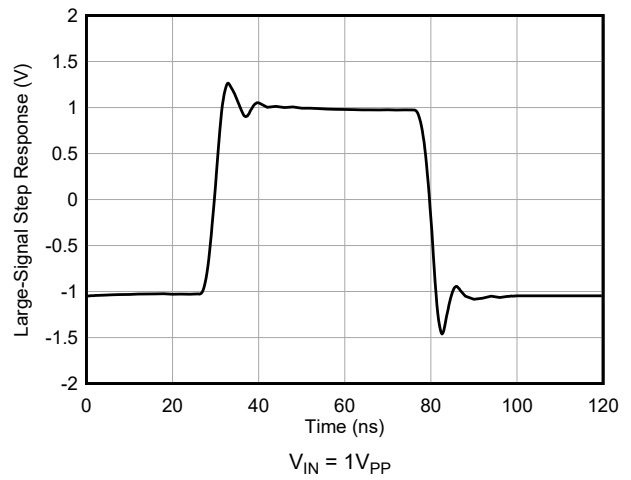


图 6-20. 大信号瞬态响应

6.6 典型特性 (续)

在 $V_S = \pm 15V$ 、 $R_F = 499\Omega$ 、 $R_L = 1k\Omega$ 、 $G = 2$ 、 $C_F = 0pF$ 且 $T_A = 25^\circ C$ 时测得 (除非另有说明)

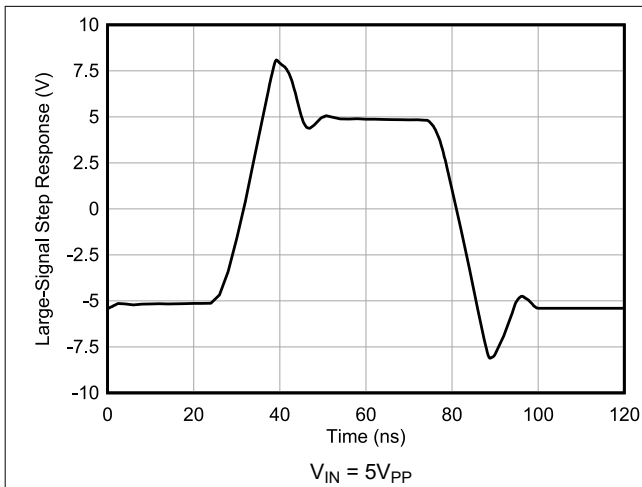


图 6-21. 大信号瞬态响应

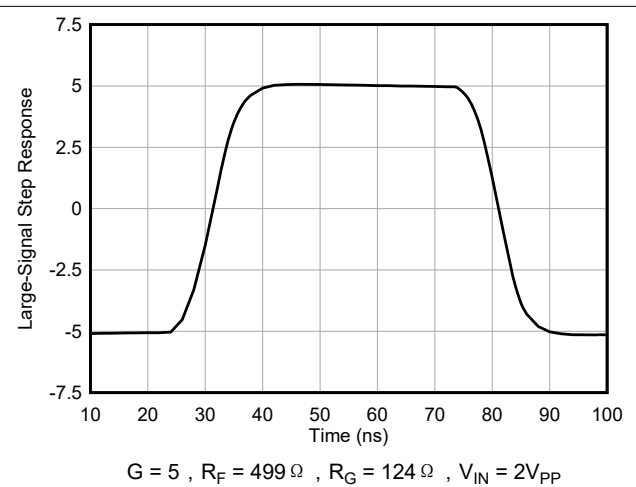


图 6-22. 大信号瞬态响应

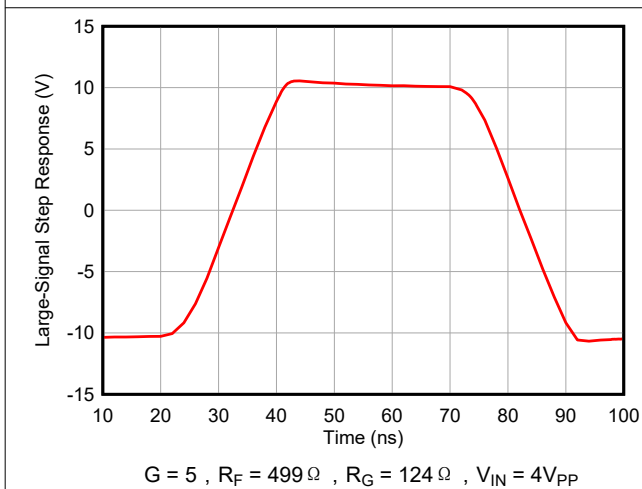


图 6-23. 大信号瞬态响应

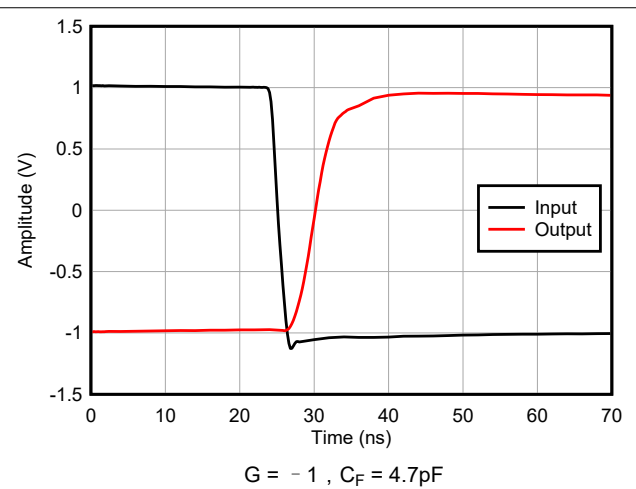


图 6-24. 趋稳时间

6.6 典型特性 (续)

在 $V_S = \pm 15V$ 、 $R_F = 499\Omega$ 、 $R_L = 1k\Omega$ 、 $G = 2$ 、 $C_F = 0pF$ 且 $T_A = 25^\circ C$ 时测得 (除非另有说明)

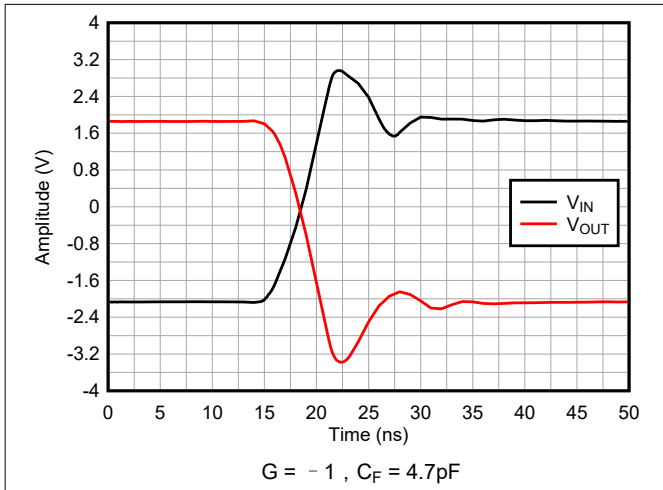


图 6-25. 趋稳时间

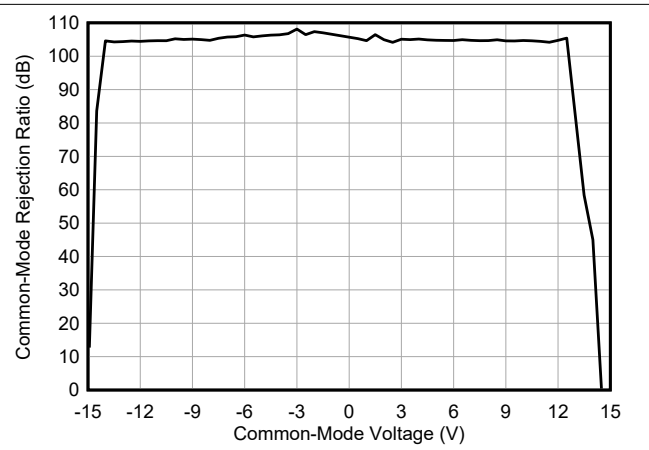


图 6-26. 共模抑制比与共模输入范围间的关系

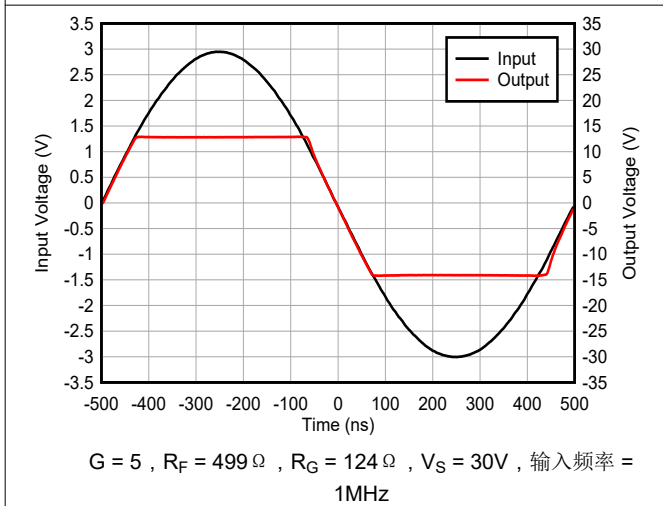


图 6-27. 过驱恢复

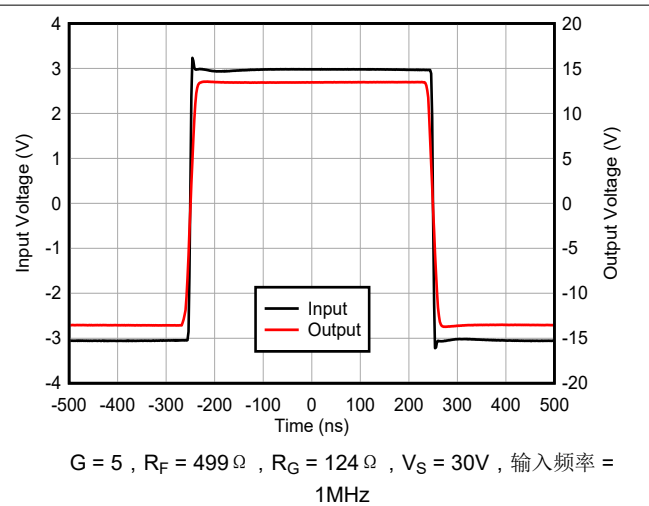
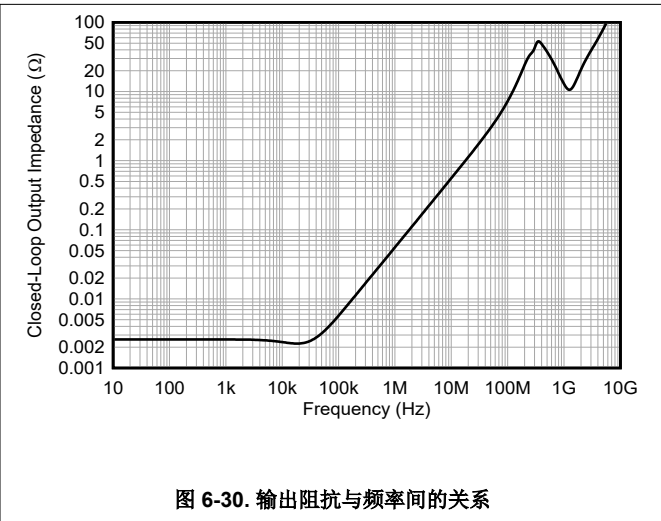
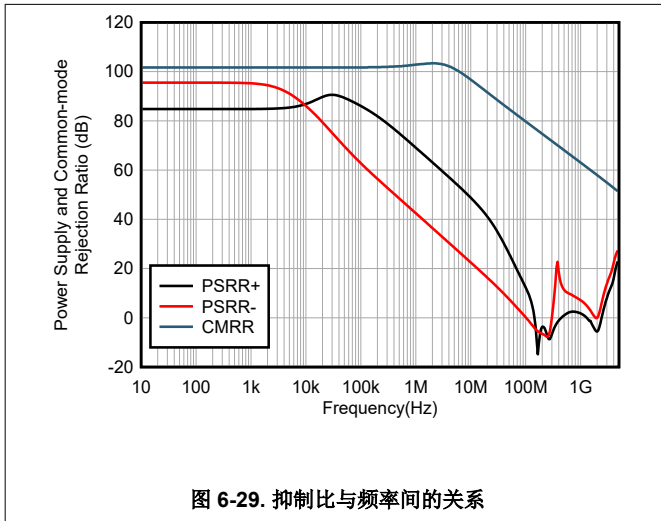


图 6-28. 过驱恢复

6.6 典型特性 (续)

在 $V_S = \pm 15V$ 、 $R_F = 499\Omega$ 、 $R_L = 1k\Omega$ 、 $G = 2$ 、 $C_F = 0pF$ 且 $T_A = 25^\circ C$ 时测得 (除非另有说明)



7 参数测量信息

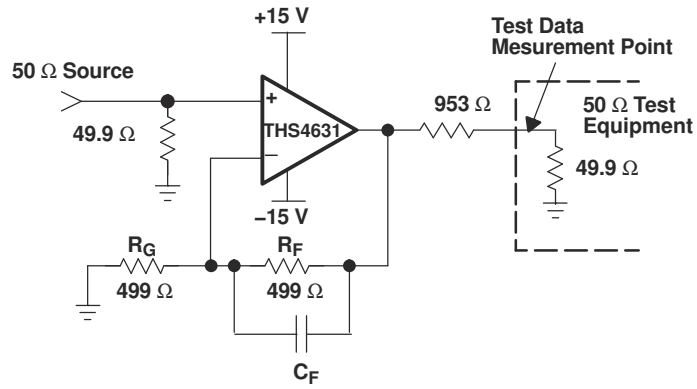


图 7-1. 交流测量配置

8 应用和实例

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

THS4631 是一款高速 FET 输入运算放大器。产品兼顾 210MHz 的高增益带宽积、1000V/μs 的高压摆率和经修整的直流精度，是出色的设计之选。该器件是测试和测量、光学监测、互阻抗增益电路和高阻抗缓冲器等各种应用的理想选择。除了有关器件和器件特定特性的常规信息外，数据表的应用部分还讨论了此类特定应用。

8.1.1 互阻抗基础知识

由于放大器具有极高的输入阻抗，因此 FET 输入放大器通常用于互阻抗应用。互阻抗模块接受电流作为输入，并将该电流转换为输出电压。FET 输入放大器的高输入阻抗可最大程度地减少此过程中由放大器输入偏置电流 I_{IB} 引起的误差。

8.1.2 噪声分析

高压摆率、单位增益稳定的电压反馈运算放大器通常会以更高的输入噪声电压为代价来实现高压摆率。但 THS4631 的输入电压噪声为 $7\text{nV}/\sqrt{\text{Hz}}$ ，远低于同类放大器，同时还可实现高压摆率。以输入为基准的电压噪声和两个以输入为基准的电流噪声项相结合，可在各种工作条件下提供低输出噪声。图 8-1 展示了包含所有噪声项的放大器噪声分析模型。在此模型中，所有噪声项均视为噪声电压或电流密度项（以 $\text{nV}/\sqrt{\text{Hz}}$ 或 $\text{fA}/\sqrt{\text{Hz}}$ 为单位）。

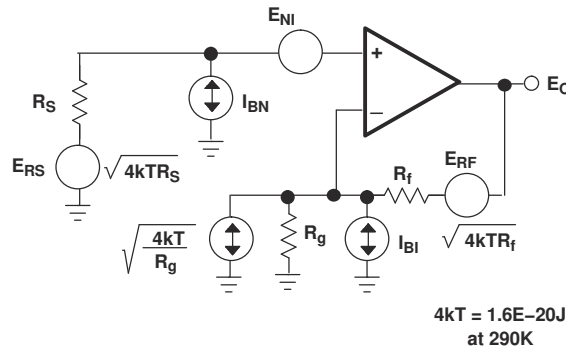


图 8-1. 噪声分析模型

总输出噪声电压计算为所有输出噪声电压贡献项平方相加后的平方根。方程式 1 使用图 8-1 所示的噪声项显示了输出噪声电压的一般形式。

$$E_O = \sqrt{\left(E_{NI}^2 + (I_{BN}R_S)^2 + 4kTR_S\right)NG^2 + (I_{BI}R_f)^2 + 4kTR_f}NG \quad (1)$$

如方程式 2 所示，将该表达式除以噪声增益 $[NG = (1 + R_f/R_g)]$ 可得出同相输入端的等效输入基准点噪声电压。

$$E_N = \sqrt{E_{NI}^2 + (I_{BN}R_S)^2 + 4kTR_S + \left(\frac{I_{BI}R_f}{NG}\right)^2 + \frac{4kTR_f}{NG}} \quad (2)$$

高电阻值可能会主导总等效输入基准噪声。使用 $3\text{k}\Omega$ 源电阻 (R_S) 值引入约 $7\text{nV}/\sqrt{\text{Hz}}$ 的电压噪声项。该噪声项相当于放大器电压噪声项。较高的电阻值会主导系统噪声。尽管由于低偏置电流，THS4631 JFET 输入级在高源阻抗应用中颇具优势，但系统噪声和带宽会受高源 (R_S) 阻抗限制。

8.2 典型应用

8.2.1 宽带光电二极管跨阻放大器

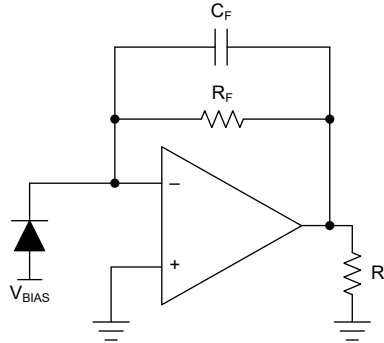


图 8-2. 宽带光电二极管跨阻放大器

8.2.1.1 详细设计过程

8.2.1.1.1 设计互阻抗电路

通常情况下，互阻抗电路的设计取决于为增益模块提供输入的电流源特性。光电二极管是最常见的与互阻抗增益模块相连的电容电流源示例。继续以光电二极管为例，系统设计人员通常基于两个相反的指标（速度和灵敏度）选用了光电二极管。更快速的光电二极管需要配置更高速的增益级，而更灵敏的光电二极管则需要更高的增益，以便在增益级输出端产生可感知的信号电平。

这些参数在多个方面影响着互阻抗电路的设计。首先，光电二极管信号的速度决定了增益电路所需的带宽。其次，根据光电二极管的灵敏度，所需增益会限制电路的带宽。最后，伴随更敏感信号源而来的较大电容也会限制增益模块的可实现速度。输入信号的动态范围也对放大器动态范围提出了要求。根据源输出电流电平的知识，耦合输出端所需的电压摆幅，决定了反馈电阻 R_F 的值。从输入到输出的传递函数为 $V_{OUT} = I_{IN}R_F$ 。

THS4631 的大增益带宽积能够同时实现高互阻抗增益、宽带宽、高压摆率和低噪声。此外，高功率电源轨助力输出端支持宽动态范围，从而可使用具有宽动态范围的输入源。依托上述特性的强强组合，THS4631 成为需要对宽带低电平输入信号进行互阻抗放大的系统的理想设计选择。图 8-2 展示了标准互阻抗电路。

如前所述，电流源通常决定着对放大器增益、速度和动态范围的要求。对于给定的放大器和源组合，可实现性能由以下参数决定：放大器增益带宽积、放大器输入电容、源电容、互阻抗增益、放大器压摆率和放大器输出摆幅。根据这些信息，可确定使用给定放大器的互阻抗电路在最佳情况下的性能。此处将最佳情况定义为提供所需的互阻抗增益，并实现最大化平坦频率响应。

对于图 8-2 中所示的电路，除其中一个设计参数外，其他所有设计参数均为已知；仍需确定反馈电容器 (C_F)。正确选择反馈电容器可规避不稳定的设计，控制脉冲响应特性，提供最大化的平坦互阻抗带宽，并限制宽带集成噪声。根据方程式 3 所示公式计算 C_F ，可获得最大化的平坦频率响应结果：

$$C_F = \frac{\frac{1}{\pi R_F \text{GBP}} + \sqrt{\left(\frac{1}{\pi R_F \text{GBP}}\right)^2 + \frac{4C_S}{\pi R_F \text{GBP}}}}{2} \quad (3)$$

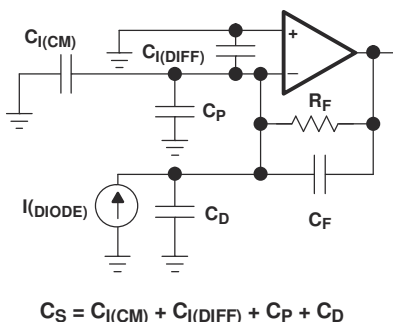
其中

- C_F 是反馈电容器
- R_F 是反馈电阻器

- C_F 是反馈电容器
- R_F 是反馈电阻器
- C_S 是总源电容 (包括放大器输入电容和反相节点处的寄生电容)
- GBP 是放大器的增益带宽积, 单位为赫兹

选择反馈电容后, 可通过 [方程式 4](#) 计算互阻抗带宽。

$$F_{-3dB} = \sqrt{\frac{GBP}{2\pi R_F (C_S + C_F)}} \quad (4)$$



注意：总源电容是几个不同电容的总和。

图 8-3. 互阻抗分析电路

其中

- $C_{I(CM)}$ 是共模输入电容
- $C_{I(DIFF)}$ 是差分输入电容
- C_D 是二极管电容
- C_P 是反相节点处的寄生电容

反馈电容器在电路的噪声增益中提供了一个极点, 用于抵消源电容导致的噪声增益零点。极点的设置方式使噪声增益可在放大器的开环增益响应下实现 20dB 每十倍频程的闭合速率, 从而实现稳定的电路。如图所示, [方程式 3](#) 提供了用于最大化平坦带宽的反馈电容。降低反馈电容器数值可增加信号带宽, 但其代价是会出现交流响应峰值。

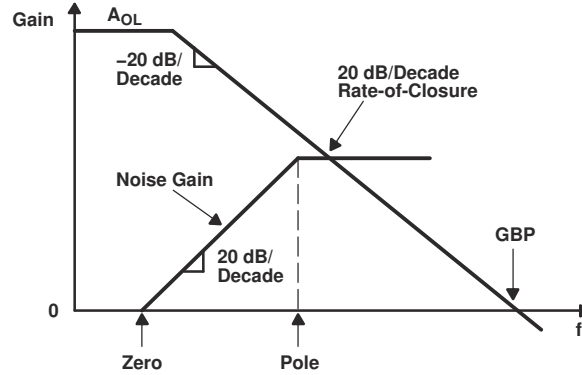


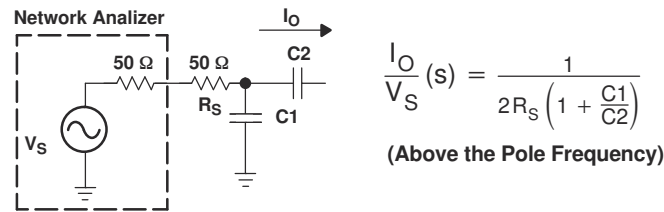
图 8-4. 互阻抗电路波德图

我们基于各种互阻抗增益和各种源电容对 THS4631 的性能进行了测量。各种电路配置下的可实现带宽数值已汇总于表 8-1。图 8-6、图 8-7 和图 8-8 所示为频率响应。

请注意，反馈电容并不与公式预测的数值完全对应。通过调整电容值，即可补偿反馈电阻器的寄生电容 (0805 表面贴装器件通常为 0.2pF) 以及印刷电路板 (PCB) 导致的额外电容。使用此公式作为设计基础，并采用实验室优化的 C_F 最终值。

8.2.1.1.2 测量互阻抗带宽

虽然无法替代在应用所用的确切条件下测量特定电路性能，但完整的系统环境通常会使得测量变得更加困难。传统的实验室设备难以测量互阻抗电路的频率响应，原因在于电路需要电流作为输入，而非电压。此外，电流源的电容对频率响应有直接影响。借助简单的接口电路和网络分析仪，即可对电容电流源进行仿真。此电路可简化互阻抗带宽测量，进而让放大器评估更加轻松快速。



注意：接口网络通过网络分析仪创建电容恒流源，并在高频下正确端接网络分析仪。

图 8-5. 使用网络分析仪仿真电容电流源

接口电路的跨导传递函数为：

$$\frac{I_O}{V_S}(s) = \frac{\frac{s}{2R_s \left(1 + \frac{C_1}{C_2}\right)}}{s + \frac{1}{2R_s(C_1 + C_2)}} \quad (5)$$

传递函数包含一个直流零点和一个 $\frac{1}{2R_s(C_1 + C_2)}$ 处的极点。

信号源频率高于极点频率时，跨导是恒定的， $\frac{1}{2R_s \left(1 + \frac{C_1}{C_2}\right)}$ 提供可控的交流电流源。该电路亦可以 50 Ω 阻抗在高频下正确端接网络分析仪。对于此电流源的第二个要求是提供所需的输出阻抗，用于仿真光电二极管或其他电流源的输出阻抗。该电路的输出阻抗由以下所得：

$$Z_O(s) = \frac{C1 + C2}{C1 \times C2} \left[\frac{s + \frac{1}{2R_S(C1+C2)}}{s \left(s + \frac{1}{2R_S C1} \right)} \right] \quad (6)$$

假设 $C1 \gg C2$ ，公式可简化为： $Z_O \approx \frac{1}{sC2}$ ，从而使电容源看起来具有更高的频率。

在选择电容器值时，设计人员必须考虑两项要求。首先， $C2$ 代表实际源的预期电容。其次，选用能够让跨导网络拐点频率远低于电路互阻抗带宽的 $C1$ 。选择合适的拐点频率可更精确地测量互阻抗带宽。如果接口电路拐点频率过于接近电路带宽，则难以测定平带的功率等级。平坦带宽可达到或超过十倍频程，为测定合适的互阻抗带宽奠定了良好基础。

8.2.1.1.3 互阻抗设计关键决策总结

以下是基础互阻抗电路设计的简化流程。该流程奠定了设计过程的基础，但确实忽略了某些对电路至关重要的方面。

- **第 1 步：**确定源电容。
- **第 2 步：**计算总源电容，包括放大器输入电容 $C_{I(CM)}$ 和 $C_{I(DIFF)}$ 。
- **第 3 步：**确定可能的源电流输出幅度，包括预期的最小信号电流和最大信号电流。
- **第 4 步：**选择反馈电阻值，以使输入电流电平产生所需的输出信号电压，并验证输出电压是否适配输入信号的动态范围。
- **第 5 步：**使用 [方程式 3](#) 计算最佳反馈电容。
- **第 6 步：**在给定生成元件值的情况下计算带宽。
- **第 7 步：**评估电路以确定是否满足所有设计目标。

8.2.1.1.4 反馈电阻器的选型

在给定应用中，反馈电阻器的选型会对 THS4631 的性能产生显著影响，尤其是在具有低闭环增益的配置中。如果放大器配置为单位增益，则将输出直接连接到反相输入。这两个点之间的任何电阻都会与放大器的输入电容相互作用，进而导致频率响应中出现额外的极点。对于非单位增益配置，低电阻适合用于平坦频率响应。但如果预计需要较大的输出信号，则应避免反馈网络对放大器造成过大负载。在大多数情况下，需要在频率响应特性和放大器负载之间进行权衡。当增益为 2 时，从上述两个角度来看，建议工作点配置采用 499Ω 的反馈电阻器。过大的电阻值会使 THS4631 出现振荡问题。例如，反相放大器若采用 $5k\Omega$ 增益电阻器和 $5k\Omega$ 反馈电阻器的配置，则因大阻值电阻器与输入电容的相互作用而产生振荡。在低增益配置中，避免使用阻值过大的反馈电阻器，或预计需要使用外部补偿方案来稳定电路。通过并联使用简单的电容器与反馈电阻器，即可使放大器更加稳定（另请参阅 [典型特性图](#)）。

表 8-1. 不同配置下的互阻抗性能总结

源电容 (PF)	互阻抗增益 (Ω)	反馈电容 (PF)	- 3dB 频率 (MHZ)
18	10k	2	15.8
18	100k	0.5	3
18	1M	0	1.2
47	10k	2.2	8.4
47	100k	0.7	2.1
47	1M	0.2	0.52
100	10k	3	5.5
100	100k	1	1.4

表 8-1. 不同配置下的互阻抗性能总结 (续)

源电容 (PF)	互阻抗增益 (Ω)	反馈电容 (PF)	- 3dB 频率 (MHZ)
100	1M	0.2	0.37

8.2.1.2 应用曲线

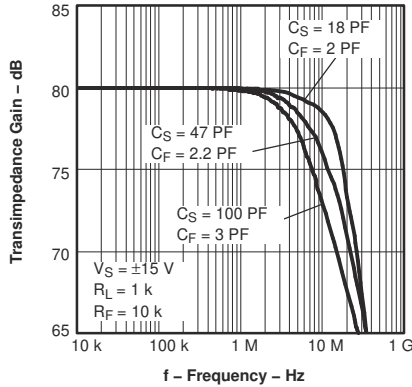


图 8-6. 10k Ω 互阻抗响应

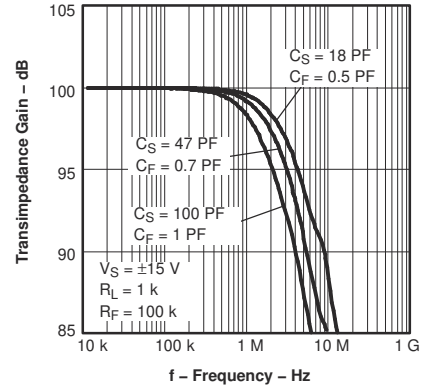


图 8-7. 100k Ω 互阻抗响应

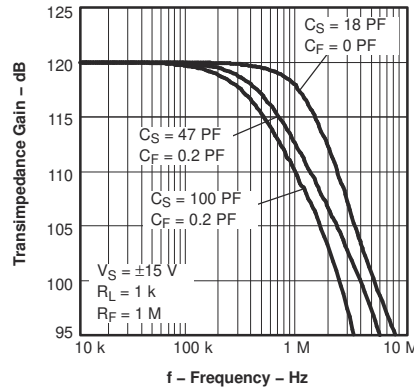
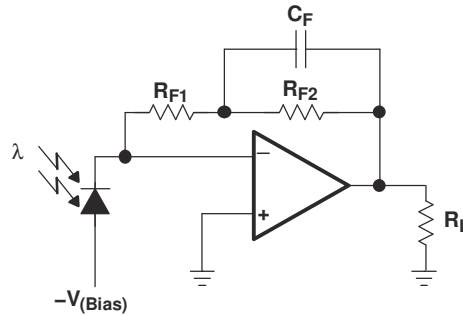


图 8-8. 1M Ω 互阻抗响应

8.2.2 备选互阻抗配置

其他互阻抗配置亦可供采用。以下展示了三种可用配置。

第一种配置略微修改了基础互阻抗电路。通过分拆反馈电阻器，反馈电容器值变得更易于管理和控制。在基础配置中，若所需反馈电容器值过小以至于电路板和元件的寄生效应开始主导总反馈电容时，这种补偿方案就会非常有用。通过降低跨接在电容器两端的电阻，即可提高电容器值。该补偿方案可抑制寄生效应的主导作用。

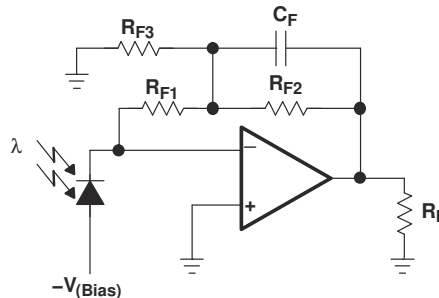


注意：通过分拆反馈电阻器，即可使用容值更高、更易于管理的反馈电容器。

图 8-9. 备选互阻抗配置 1

第二种配置使用电阻式 T 型网络，进而使用相对较小的电阻值实现较高的互阻抗增益。当所需的互阻抗增益超过可用电阻值时，此拓扑非常有用。互阻抗增益通过 [方程式 7](#) 得出。

$$R_{EQ} = R_{F1} \left(1 + \frac{R_{F2}}{R_{F3}} \right) \quad (7)$$

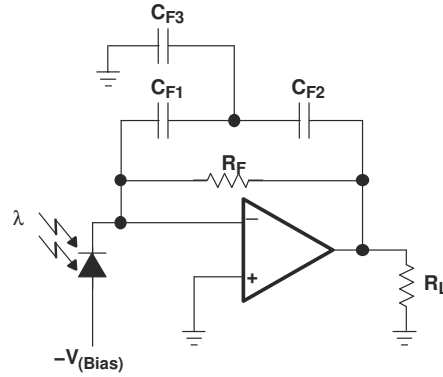


注意：电阻式 T 型网络可使用合理的电阻值实现高互阻抗增益。

图 8-10. 备选互阻抗配置 2

第三种配置使用电容式 T 型网络来实现对补偿电容的精细控制。电容器 C_F3 可精细调节总有效反馈电容。此电路的特性与基础互阻抗配置相同，有效 C_F 由 [方程式 8](#) 计算得出。

$$\frac{1}{C_{FEQ}} = \frac{1}{C_{F1}} \left(1 + \frac{C_{F3}}{C_{F2}} \right) \quad (8)$$



注意：电容式 T 型网络可以使用相对较大的电容器值来精细控制有效反馈电容。

图 8-11. 备选互阻抗配置 3

8.3 电源相关建议

8.3.1 不同输入阶跃幅度以及上升和下降时间下的转换率性能

在此类情况下，由于放大器输入级偏置条件的变化，某些 FET 输入放大器表现出具有更高转换率的特性，此时输入电压阶跃较小且边沿速率较慢。当 FET 输入放大器用作电压输出器时，这一现象最为常见。通常情况下并不希望出现这种特性，THS4631 的设计则可避免这些问题。正如预期的那样，幅度越大，转换率就越高，并且快速边沿不会降低器件的转换率。THS4631 的高转换率可提高 SFDR 和 THD 性能，在高于 5MHz 的频率下尤其明显。

8.4 布局

8.4.1 布局指南

8.4.1.1 实现高性能的印刷电路板 (PCB) 布局技术

为了使用 THS4631 等高频放大器实现优化的性能，需要特别注意电路板布局布线的寄生和外部元件类型。

优化性能的建议包括：

- 尽可能减小所有信号 I/O 引脚的连接到任何交流接地端的寄生电容。输出和输入引脚上的寄生电容可能会导致不稳定。为了减少不必要的电容，可以在这些引脚周围的所有接地平面和电源平面中打开信号 I/O 引脚周围的窗口。否则，接地平面和电源平面可以在电路板上的其他地方完好无损。
- 尽可能缩短电源引脚与高频 0.1 μ F 和 100pF 去耦电容器之间的距离 ($< 0.25''$)。在器件引脚上，避免将接地平面和电源平面布局靠近信号 I/O 引脚。避免电源布线和接地布线过于狭窄，以便尽可能减小引脚和去耦电容器之间的电感。电源连接应始终与这些电容器去耦合。在主电源引脚上使用较大的 (6.8 μ F 及以上) 去耦钽电容器 (在较低频率下有效)。将此类电容器放置在离器件稍远的地方，并在 PCB 同一区域的多个器件之间共享这些电容器。
- 谨慎选择和放置外部器件有助于确保 THS4631 的高频性能。使用电抗类型非常低的电阻器。表面贴装式电阻器最适合，并可实现更紧密的总体布局。同样，尽可能缩短引线和 PCB 布线。切勿在高频应用中使用绕线式电阻器。由于输出引脚和反相输入引脚对寄生电容极为敏感，因此务必分别将反馈电阻器和串联输出电阻器 (如有) 尽可能靠近反相输入和输出引脚放置。将其他网络组件 (例如输入终端电阻器) 放置在增益设置电阻器附近。即使很小的寄生电容对外部电阻器进行分流，过高的电阻值也会产生明显的时间常数，从而降低性能。优质轴向金属膜或表面贴装电阻器有大约 0.2pF 的电容与电阻器并联。对于大于 2.0k Ω 的电阻器阻值，该寄生电容可能会引入一个极点、零点或二者皆有，从而影响电路运行。根据负载驱动注意事项的要求，尽可能降低电阻值。
- 使用较短的直接布线或通过板载传输线实现与电路板上其他宽带器件的连接。对于短连接，应考虑将布线和下一个器件的输入视为集总容性负载。应使用相对较宽的布线 (50 密耳至 100 密耳)，最好在其周围打开接地平面和电源平面。估算总电容负载，并确定是否需要在输出端使用隔离电阻器。低寄生电容负载 (< 4 pF) 通常不需要 RS，因为 THS4631 会得到额定补偿，从而使用 2pF 的寄生负载运行。随着信号增益的增加 (增加空载相位裕度)，无 RS 情况下亦可支持更高的寄生电容负载。如果需要很长的布线，并且可以接受双端接传输线固有的 6dB 信号损耗，则可以使用微带或带状线技术来实施匹配阻抗传输线 (有关微带和带状线布局技术，请参阅 ECL 设计手册)。电路板上通常不需要 50 Ω 阻抗的环境，实际上，较高阻抗的环境可以改善失真 (另请参阅失真与负载间的关系图)。在电路板上使用连接到 THS4631 输出端引线的匹配串联电阻器，以及位于目标器件输入端的终端分流电阻器 (这些电阻器具有根据电路板材料和引线尺寸定义的特性电路板引线阻抗)。还应注意，端接阻抗是分流电阻器和目标器件输入阻抗的并联组合；将该总有效阻抗设置为与引线阻抗相匹配。如果不能接受双端接传输线的 6dB 衰减，则只能在源端对长引线进行串联短接。在本例中，应将布线视为电容负载。源端端接无法保持信号完整性以及双端接线路。如果目标器件的输入阻抗较低，则由于连接到端接阻抗的串联输出会形成分压器，因此会出现一定程度的信号衰减。
- 建议不要插入 THS4631 之类的高速器件。由插座引起的额外引线长度和引脚间电容可能会造成相当麻烦的寄生网络，从而几乎不可能实现平稳的频率响应。通过将 THS4631 器件直接焊接到电路板上可获得最佳效果。

8.4.1.2 PowerPAD 设计注意事项

THS4631 采用热增强型 PowerPAD 集成电路封装系列。此类封装使用下行引线框构建，裸片安装在此引线框上；另请参阅图 8-12 (a) 和 (b)。这种布置会导致引线框暴露为封装底面上的散热焊盘；另请参阅图 8-12 (c)。由于散热焊盘与裸片发生直接热接触，因此通过散热焊盘提供的良好散热路径可实现出色散热性能。

借助 PowerPAD 封装，一次制造操作即可实现组装和散热管理。在表面贴装焊接操作 (焊接引线时) 中，也可将散热焊盘焊接在封装底面上的覆铜区域内。通过在此覆铜区域内使用散热路径，可将封装的热量传递到接地平面或其他散热器件上。

PowerPAD 集成电路封装在面积小、组装方便的表面贴装和机械散热方法之间取得了巨大突破。

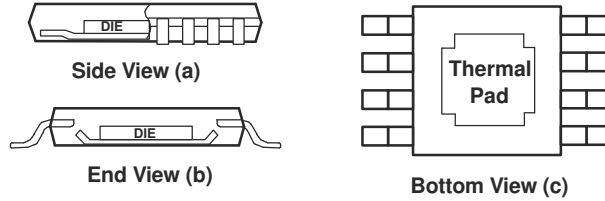


图 8-12. 热增强型封装视图

8.4.1.3 PowerPAD PCB 布局注意事项

1. 图 8-14 和 图 8-15 显示了采用顶部蚀刻布局的 PCB。不仅引线必须进行蚀刻，还要对散热焊盘进行蚀刻。
2. 在散热焊盘区域布置建议数量的过孔。这些过孔的直径必须为 10 密耳。确保过孔较小，以免在回流过程中焊料通过过孔渗锡。
3. 在散热焊盘区域外沿散热平面的任意位置布置额外过孔。额外过孔有助于耗散 THS4631 产生的热量。这些额外过孔可能大于散热焊盘正下方直径为 10 密耳的过孔，因为过孔未布置在待焊接的散热焊盘区域内；因此不会产生渗锡问题。
4. 将所有散热焊盘过孔连接到内部接地平面。尽管 PowerPAD 与所有引脚和有源电路电气隔离，但为了优化散热性能，建议将其连接到接地平面。接地平面通常是 PCB 上最大的覆铜区域，有助于在 PCB 上散热。热量在 PCB 上扩散后，气流可作用到更大的表面积，从而散发系统中的热量。
5. 将这些过孔连接到接地平面时，请勿使用典型网状或通过连接方法。网状连接为高热阻连接，可有效减慢热传递，从而简化具有平面连接的过孔焊接。然而，在这种应用中，最高效的热传递需要低热阻。因此，THS4631 PowerPAD 封装下的过孔必须连接到内部接地平面，该平面在整个过孔一周具有完整连接。
6. 顶部阻焊层必须使封装引脚和具有过孔的散热焊盘区域处于暴露状态。底部阻焊层必须覆盖散热焊盘区域的过孔。此配置可防止回流焊过程中焊料从散热焊盘区域流走。
7. 将焊锡膏涂抹在暴露的散热焊盘区域内和所有器件引脚上。
8. 这些准备过程完成后，即可将器件放置就位，然后像针对所有标准表面贴装元件那样实施焊料回流操作。

按照上述步骤操作即可正确安装器件。

8.4.1.4 功率耗散和热效应注意事项

为保持最大输出能力，THS4631 未采用自动热关断保护。设计人员必须确保设计方案不会超出器件的绝对最高结温。如果超过绝对最高结温 150°C，则可能会导致故障。为获得出色性能，设计时应考虑 125°C 的最高结温。器件在 125°C 和 150°C 之间不会发生损坏，但放大器性能开始下降。器件的热特性由封装和 PCB 决定。给定封装的最大功率耗散通过 [方程式 9](#) 计算得出。

$$P_{D\max} = \frac{T_{\max} - T_A}{\theta_{JA}} \quad (9)$$

其中：

- $P_{D\max}$ 是放大器的最大功率耗散 (W)。
- T_{\max} 是绝对最高结温 (°C)。
- T_A 为环境温度 (°C)。
- $\theta_{JA} = \theta_{JC} + \theta_{CA}$
- θ_{JC} 是从器件结至外壳的热系数 (°C/W)。
- θ_{CA} 是管壳至环境空气的热系数 (°C/W)。

备注

对于散热要求更高的系统，THS4631 可提供散热性能更强的 PowerPAD 封装 8 引脚 HVSSOP 以及 PowerPAD 封装 8 引脚 HSOIC。与传统 SOIC 相比，PowerPAD 封装的热系数得到了显著提高。可用封装的最大功率耗散水平如 [图 8-13](#) 所示。PowerPAD 封装的数据假定电路板布局布线遵循之前引用的 PowerPAD 布局指南，并且 [PowerPAD™ 热增强型封装应用手册](#) 对此进行了详细说明。[图 8-13](#) 还说明了未将 PowerPAD 焊接到 PCB 的影响。热阻抗显著增加，这会导致严重的发热和性能问题。请务必将 PowerPAD 焊接到 PCB 上，助力优化性能。

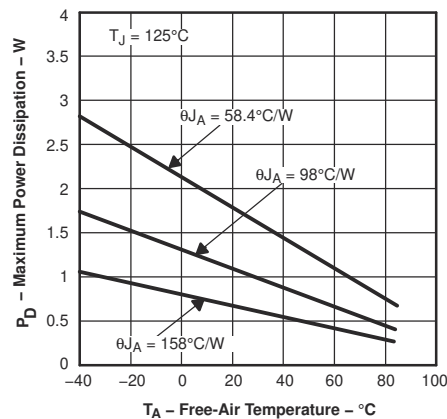


图 8-13. 最大功率耗散与环境温度间的关系

无空气流动且 PCB 尺寸 = 3" × 3" 条件下的结果。

- 对于带 PowerPAD 的 8 引脚 HVSSOP (DGN)， $\theta_{JA} = 58.4^\circ\text{C/W}$ 。
- 对于 8 引脚 SOIC 高介电测试 PCB (D)， $\theta_{JA} = 98^\circ\text{C/W}$ 。
- 对于带 PowerPAD 且未焊接的 8 引脚 HVSSOP， $\theta_{JA} = 158^\circ\text{C/W}$ 。

在确定器件是否满足最大功率耗散要求时，不仅要考虑静态功率耗散，还要注意动态功率耗散。通常情况下，由于信号模式不一致，很难对该动态耗散进行量化，但通过估算 RMS 功率耗散即可有效识别潜在问题。

8.4.2 布局示例

有很多适用的方法可为 PowerPAD 集成电路封装散热，以下步骤展示了推荐的方法。

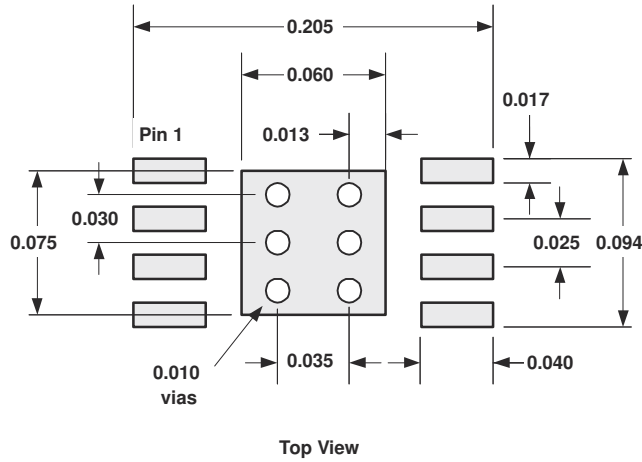


图 8-14. DGN PowerPAD™ 集成电路封装 PCB 蚀刻和过孔布局

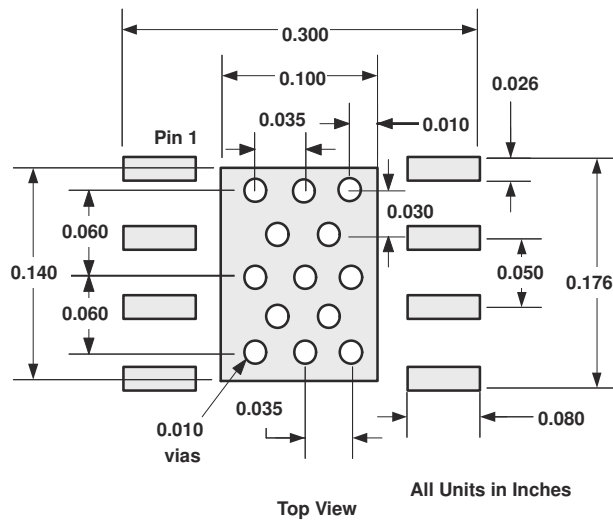


图 8-15. DDA PowerPAD™ 集成电路封装 PCB 蚀刻和过孔布局

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 器件支持

9.1.1 设计工具评估板固定装置、Spice 模型和应用支持

德州仪器 (TI) 致力于为客户提供高质量的应用支持。为了支持该目标，我们为 THS4631 运算放大器开发了一款评估板。该评估板易于使用，可轻松评估器件。通过德州仪器 (TI) 网站 www.ti.com，或联系当地的德州仪器 (TI) 销售代表订购该评估板。图 9-1、图 9-2 和图 9-3 显示了该板各层结构。评估板物料清单如表 9-1 所示。

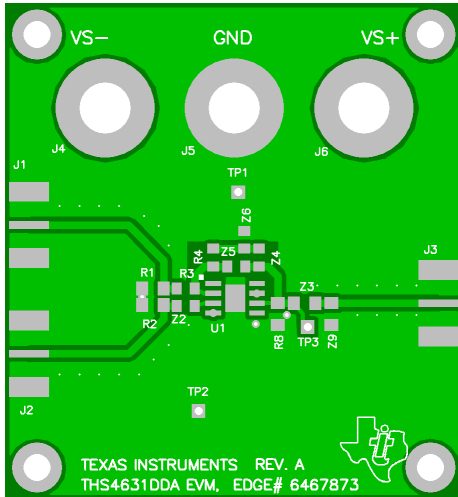


图 9-1. EVM 顶层

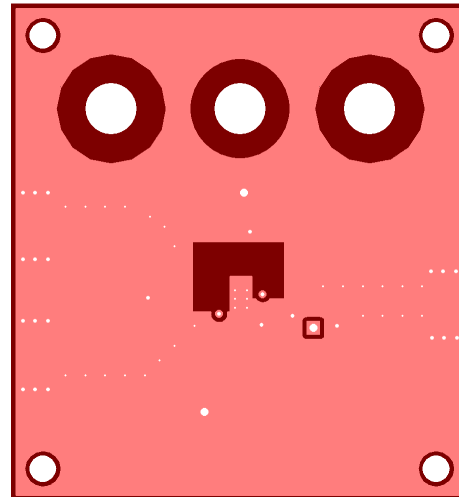


图 9-2. EVM 第 2 层和第 3 层接地

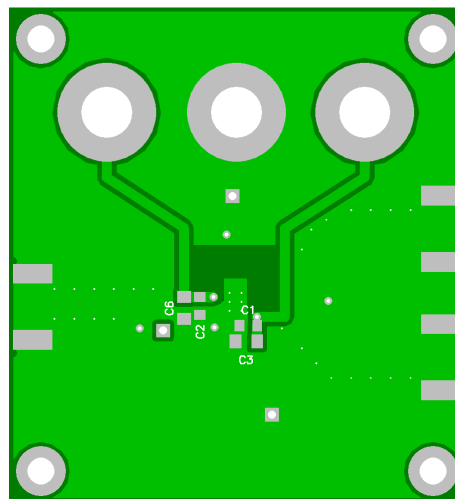


图 9-3. EVM 底层

9.1.1.1 物料清单
表 9-1. THS4631DDA EVM 物料清单 (BOM)

项目	说明	SMD 尺寸	参考 位号	PCB 数量	制造商 器件型号 ⁽¹⁾
1	电容器, 2.2 μ F, 陶瓷, X5R, 25V	1206	C3、C6	2	(AVX) 12063D225KAT2A
4	电容器, 0.1 μ F, 陶瓷, X7R, 50V	0805	C1、C2	2	(AVX) 08055C104KAT2A
	断开	0805	R4、Z4、Z6	3	
6	电阻器, 0 Ω , 1/8 W	0805	Z2	1	(KOA) RK73Z2ATTD
7	电阻器, 499 Ω , 1/8 W, 1%	0805	R3、Z5	2	(KOA) RK73H2ATTD4990F
8	断开	1206	R8、Z9	2	
9	电阻器, 0 Ω , 1/4 W	1206	R1	1	(KOA) RK73Z2BLTD
10	电阻器, 49.9 Ω , 1/4 W, 1%	1206	R2	1	(KOA) RK73H2BLTD49R9F
11	电阻器, 953 Ω , 1/4 W, 1%	1206	Z3	1	(KOA) RK73H2BLTD9530F
13	连接器, SMA PCB 插座		J1、J2、J3	3	(JOHNSON) 142-0701-801
14	插座, 香蕉插座, 直径 0.25"。孔式		J4、J5、J6	3	(SPC) 813
15	测试点, 黑色		TP1、TP2	2	(KEYSTONE) 5001
	测试点, 红色		TP3	1	(KEYSTONE) 5000
16	螺柱, 4-40 六角, 长度 0.625"			4	(KEYSTONE) 1808
17	螺丝, 十字, 4-40, 0.250"			4	SHR-0440-016-SN
18	IC, THS4631		U1	1	(TI) THS4631DDA
19	板, 印刷电路			1	(TI) EDGE # 6467873 修订版 A

(1) 制造商器件型号仅用于测试目的。

9.1.1.2 EVM

分析模拟电路和系统的性能时，使用 SPICE 模型通常有利于对电路性能进行计算机仿真。SPICE 对于视频和射频放大器电路尤其实用，寄生电容和电感会对电路性能产生重大影响。您可访问德州仪器 (TI) 网站 (www.ti.com) 获取 THS4631 的 SPICE 模型。SPICE 模型可助力预测各种工作条件下的微小信号交流和瞬态性能。此类模型并非旨在模拟放大器的失真特性，也不是试图在微小信号交流性能方面对封装类型进行区分。模型文件包含有关已建模和未建模内容的详细信息。

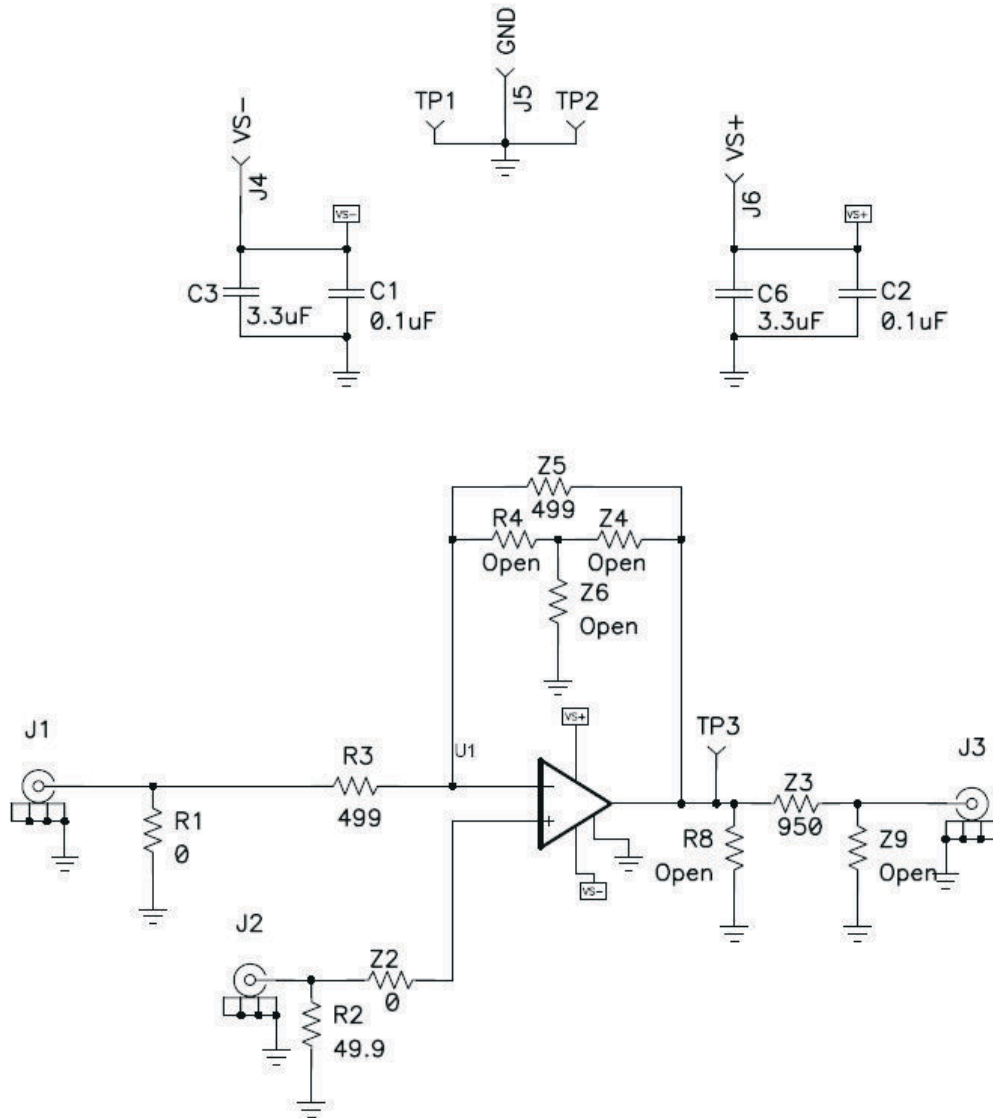


图 9-4. THS4631 EVM 原理图

9.1.1.3 EVM 警告和限制

此 EVM 必须在下表中指定的输入和输出电压范围内运行。

表 9-2. 输入和输出电压范围

输入范围, V_{S+} 至 V_{S-}	10V 至 30V
输入范围, V_I	10V 至 30V, 不超过 V_{S+} 或 V_{S-}
输出范围, V_O	10V 至 30V, 不超过 V_{S+} 或 V_{S-}

小心

超出指定输入范围可能会导致 EVM 出现意外的运行情况 and/或不可逆转的损坏。如果对输入范围有疑问, 请在连接输入电源之前联系 TI 现场代表。

施加超出指定输出范围的负载可能会导致 EVM 出现意外的运行情况 and/或永久性损坏。在将任何负载连接到 EVM 输出之前, 请参阅产品数据表或 EVM 用户指南 (如有)。如果对负载规格有疑问, 请联系 TI 现场代表。

在正常运行期间, 某些电路元件的管壳温度可能会高于 30°C。该 EVM 旨在确保在某些元件温度高于 50°C 的情况下仍能正常运行, 只要输入和输出保持在指定范围即可。这些组件包括但不限于线性稳压器、开关晶体管、通道晶体管和电流感应电阻器。此类器件可使用所提供材料中的 EVM 原理图进行识别。当在运行期间将测量探头放置在这些器件附近时, 请注意器件温度较高, 可能会烫手。

9.2 文档支持

9.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI), [PowerPAD 速成应用简报](#)
- 德州仪器 (TI), [PowerPAD 热增强型封装技术简报](#)
- 德州仪器 (TI), [FET 跨阻放大器噪声分析应用公告](#)
- 德州仪器 (TI), [使用运算放大器自举优化光电二极管应用公告](#)
- 德州仪器 (TI), [使用 OPA128 设计光电二极管放大器电路应用公告](#)
- 德州仪器 (TI), [使用运算放大器监测光电二极管应用公告](#)
- 德州仪器 (TI), [FET 互阻抗放大器与开关积分器的噪声性能比较应用公告](#)

9.3 接收文档更新通知

要接收文档更新通知, 请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册, 即可每周接收产品信息更改摘要。有关更改的详细信息, 请查看任何已修订文档中包含的修订历史记录。

9.4 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料, 可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题, 获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范, 并且不一定反映 TI 的观点; 请参阅 TI 的 [使用条款](#)。

9.5 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (August 2011) to Revision C (March 2025)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 添加了 <i>器件信息表</i>	1
• 将 <i>相关 FET 输入放大器产品</i> 中的 OPA656 电压噪声从 $7\text{nV}/\sqrt{\text{Hz}}$ 更改为 $6\text{nV}/\sqrt{\text{Hz}}$ ，将转换率从 $290\text{V}/\mu\text{s}$ 更改为 $400\text{V}/\mu\text{s}$	2
• 添加了 <i>引脚功能表</i>	2
• 将 ESD 额定值 从 <i>绝对最大额定值</i> 移至新 ESD 额定值 。.....	3
• 删除了 <i>电气特性</i> 中的 0°C 到 70°C 规格。.....	4
• 将具有 8.2pF 反馈电容器的 0.1dB 带宽平坦度从 38MHz 更改为 6MHz (典型值).....	4
• 添加了 0.1dB 带宽平坦度，无 8.2pF 反馈电容器，数值为 20MHz (典型值).....	4
• 将静态输出电流 (拉电流) 从 80mA 更改为 90mA (最小值， -40°C 到 $+125^{\circ}\text{C}$)，将 90mA 更改为 120mA (最小值， 25°C)，将 98mA 更改为 180mA (典型值， 25°C).....	4
• 将静态输出电流 (灌电流) 从 -80mA 更改为 -90mA (最大值， -40°C 到 $+125^{\circ}\text{C}$)，将 -85mA 更改为 -120mA (最大值， 25°C)，将 -95mA 更改为 -180mA (典型值， 25°C).....	4
• 将静态电流从 13mA 更改为 14.5mA (最大值， 25°C)，将 14mA 更改为 15mA (最大值， -40°C 到 $+125^{\circ}\text{C}$).....	4
• 根据最新标准更新了图表中的新器件数据.....	6
• 将 <i>输入电压与频率间的关系</i> 更改为 <i>输入电压和电流噪声与频率间的关系</i>	6
• 向 <i>输入电压和电流噪声与频率间的关系</i> 添加了电流噪声数据.....	6
• 删除了 <i>输入偏移电流与温度间的关系</i>	6
• 更新了 <i>输入偏置电流与温度间的关系</i> 以包括输入偏移电流.....	6
• 向 <i>典型特性运行条件</i> 中添加了典型值 $C_F = 0\text{pF}$ 。.....	6

Changes from Revision A (March 2005) to Revision B (August 2011)	Page
• 将 <i>绝对最大额定值表</i> 中的 T_{stg} 值从： 65°C 至 150°C 更改为： -65°C 至 150°C	3

Changes from Revision * (December 2004) to Revision A (March 2005)	Page
• 更改了 <i>相关 FET 输入放大器产品表</i>	1
• 将差分输入电阻值从： $109 \parallel 6.5$ 更改为： $109 \parallel 3.9$	4
• 将共模输入电阻值从： $109 \parallel 6.5$ 更改为： $109 \parallel 3.9$	4
• 将图 8： <i>第三谐波失真与频率间的关系</i> - 从： $R_L = 499 \Omega$ 更改为 $R_F = 499 \Omega$	6
• 将图 9： <i>谐波失真与输出电压摆幅间的关系</i> - 从： $R_L = 499 \Omega$ 更改为 $R_F = 499 \Omega$	6
• 添加了图 23： <i>大信号瞬态响应</i>	6
• 添加了图 24： <i>大信号瞬态响应</i>	6

-
- 添加了图 8-17 : *THS4631 EVM 原理图* [28](#)
-

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
THS4631D	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 85	4631
THS4631DDA	Active	Production	SO PowerPAD (DDA) 8	75 TUBE	Yes	SN	Level-2-260C-1 YEAR	-40 to 85	4631
THS4631DGN	Obsolete	Production	HVSSOP (DGN) 8	-	-	Call TI	Call TI	-40 to 85	ADK
THS4631DGNR	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	ADK
THS4631DR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	4631

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
THS4631DGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
THS4631DGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
THS4631DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
THS4631DGNR	HVSSOP	DGN	8	2500	364.0	364.0	27.0
THS4631DGNR	HVSSOP	DGN	8	2500	358.0	335.0	35.0
THS4631DR	SOIC	D	8	2500	350.0	350.0	43.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
THS4631DDA	DDA	HSOIC	8	75	505.46	6.76	3810	4

GENERIC PACKAGE VIEW

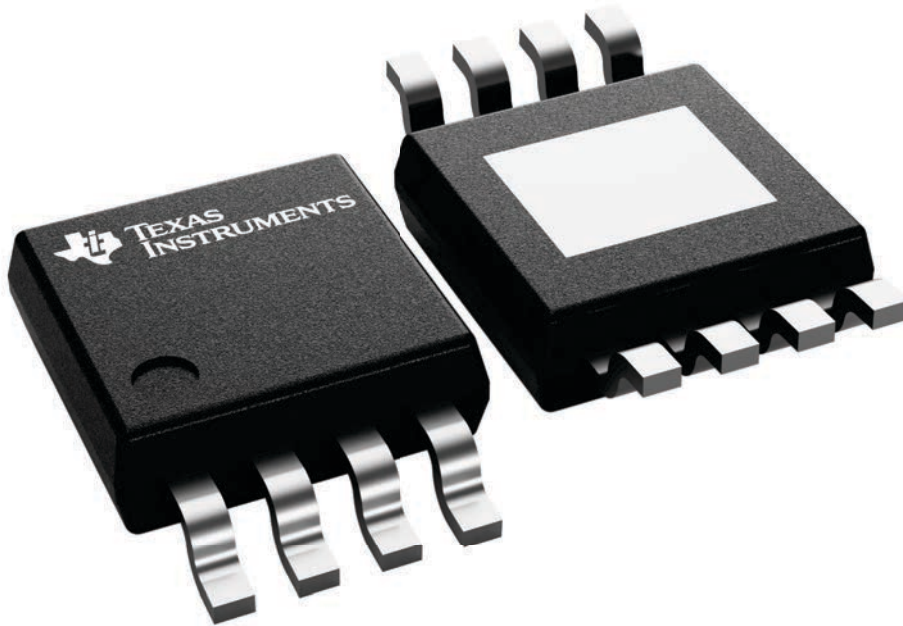
DGN 8

PowerPAD™ HVSSOP - 1.1 mm max height

3 x 3, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225482/B



4225481/A 11/2019

PowerPAD is a trademark of Texas Instruments.

NOTES:

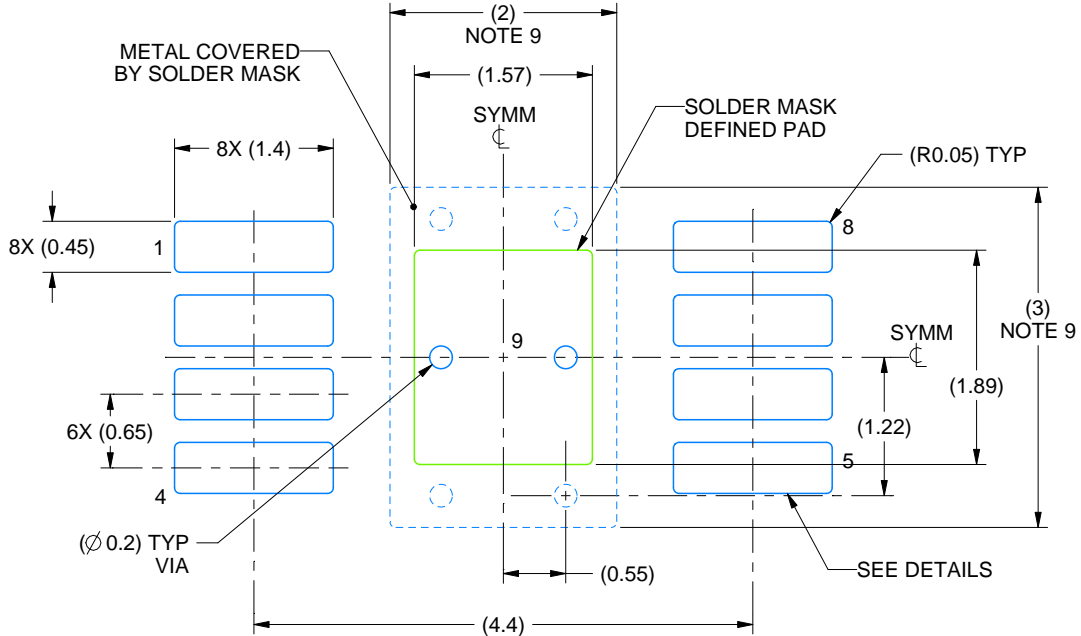
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

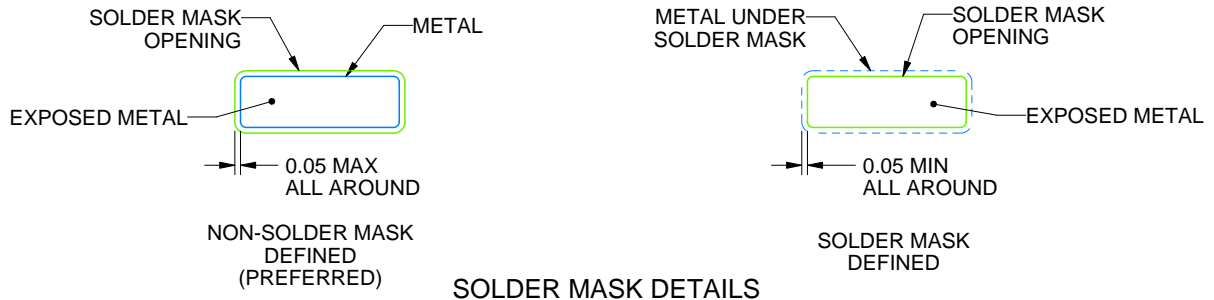
DGN0008D

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4225481/A 11/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGN0008D

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



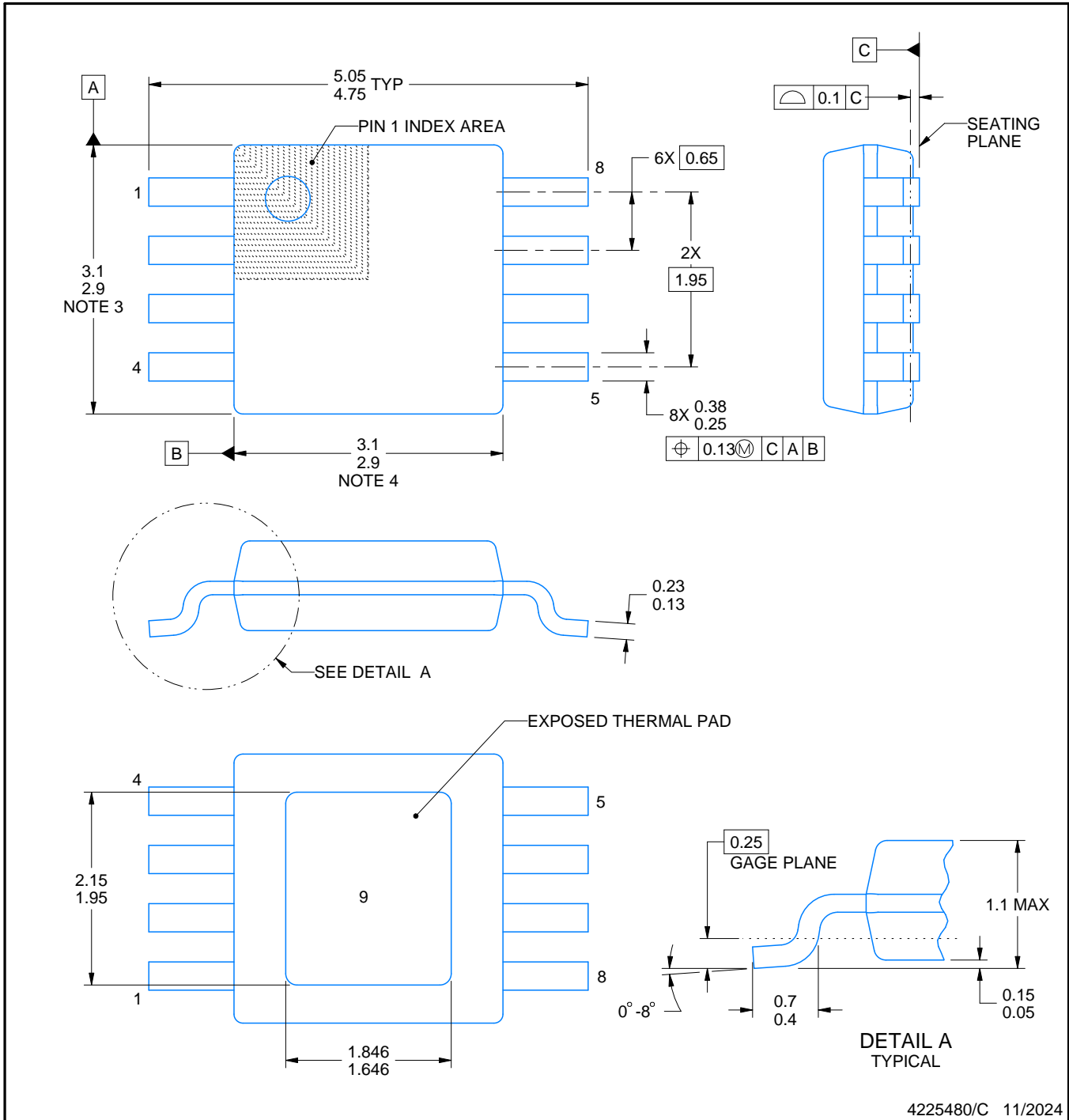
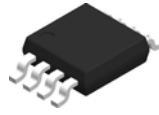
SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.76 X 2.11
0.125	1.57 X 1.89 (SHOWN)
0.15	1.43 X 1.73
0.175	1.33 X 1.60

4225481/A 11/2019

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.



4225480/C 11/2024

NOTES:

PowerPAD is a trademark of Texas Instruments.

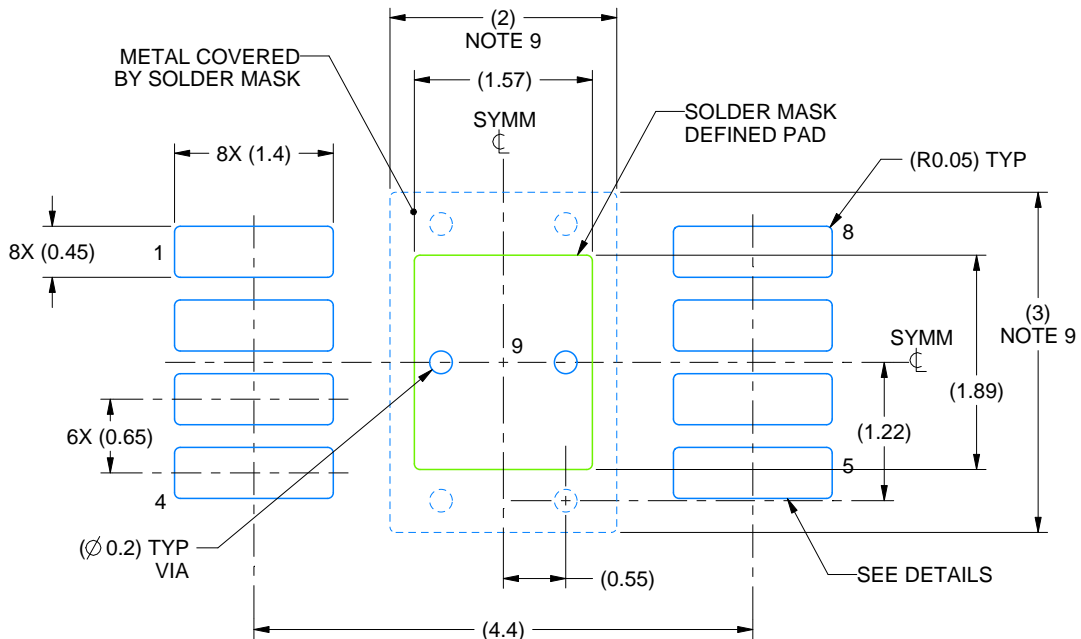
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

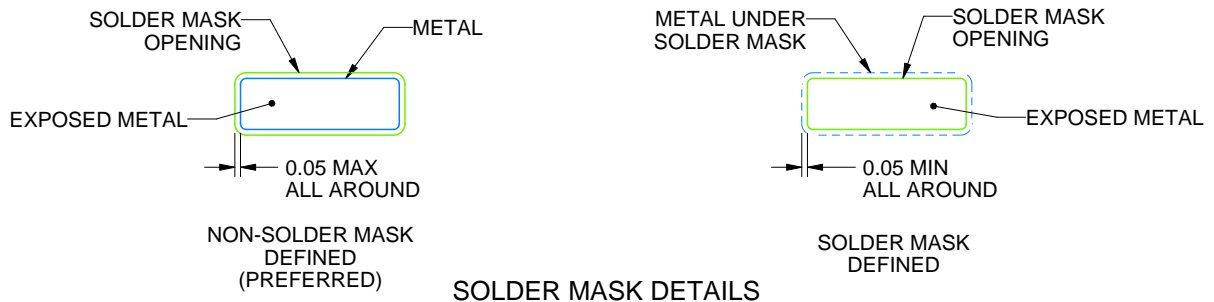
DGN0008G

PowerPAD™ HVSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4225480/C 11/2024

NOTES: (continued)

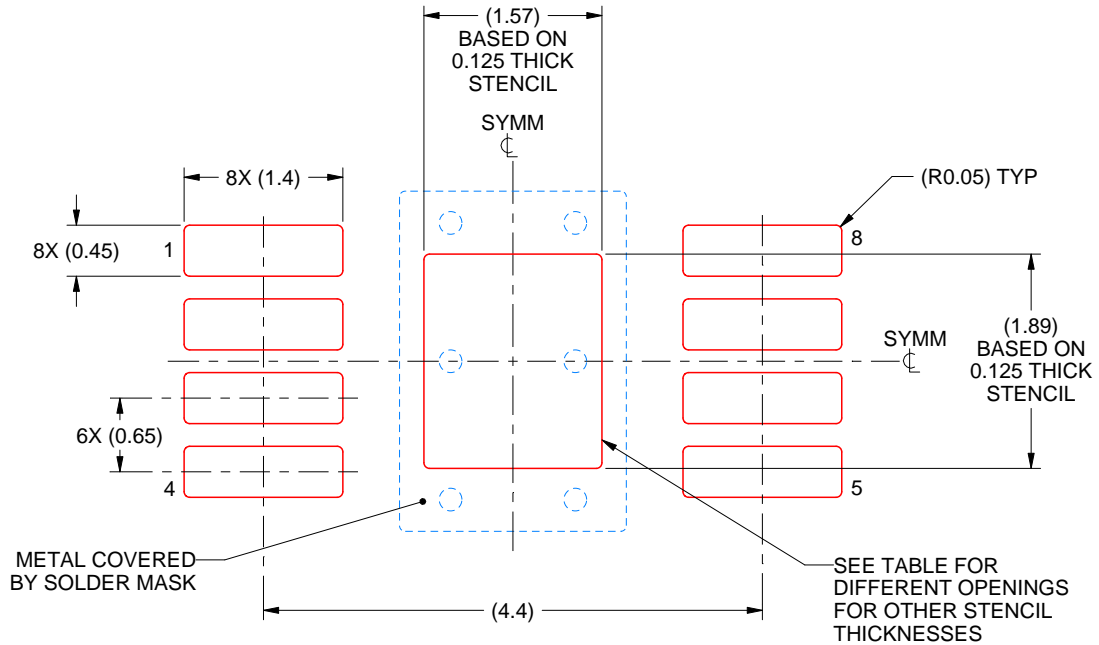
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
- 8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
- 9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGN0008G

PowerPAD™ HVSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
 EXPOSED PAD 9:
 100% PRINTED SOLDER COVERAGE BY AREA
 SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.76 X 2.11
0.125	1.57 X 1.89 (SHOWN)
0.15	1.43 X 1.73
0.175	1.33 X 1.60

4225480/C 11/2024

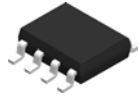
NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

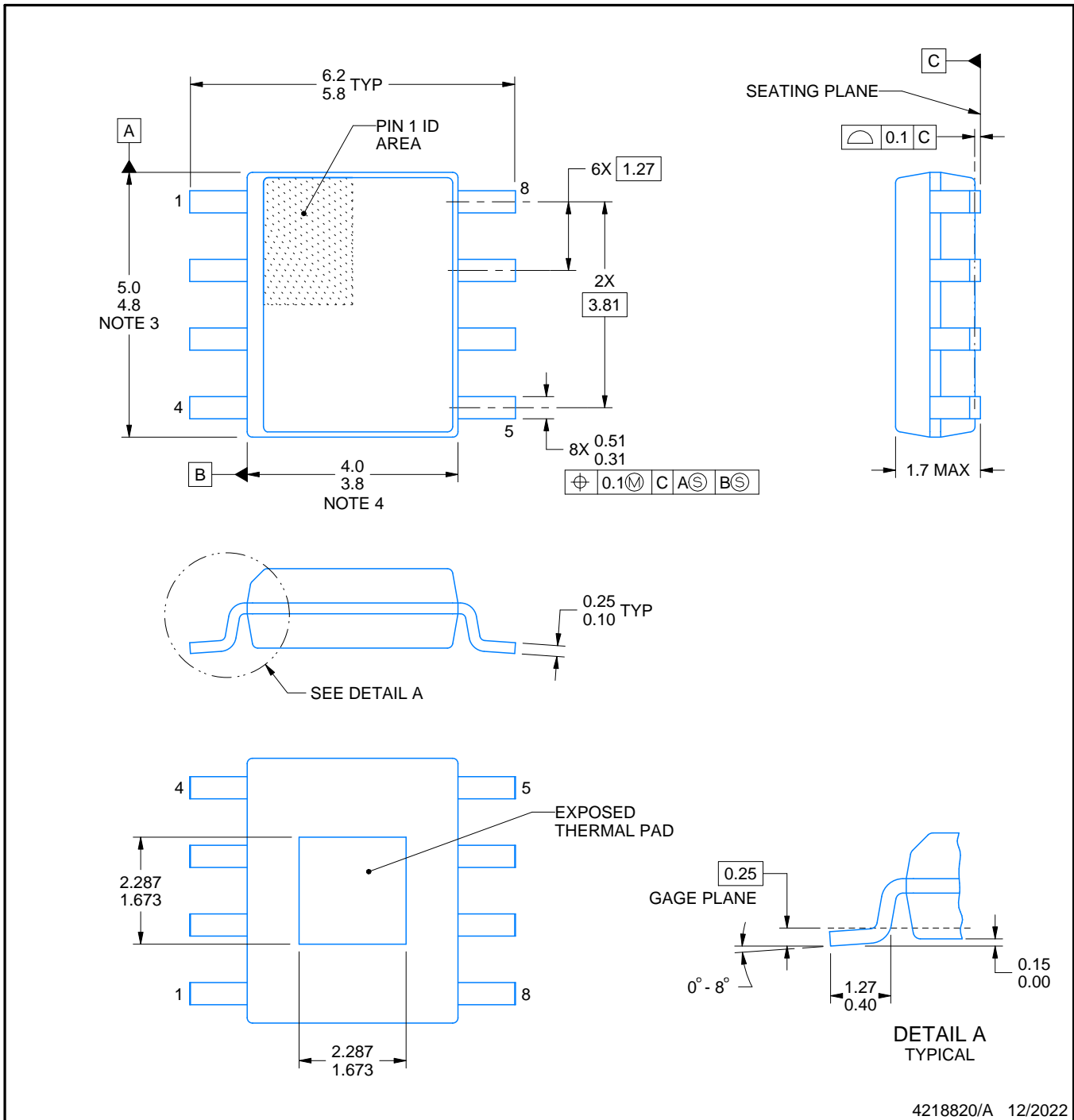
DDA0008D



PACKAGE OUTLINE

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



4218820/A 12/2022

PowerPAD is a trademark of Texas Instruments.

NOTES:

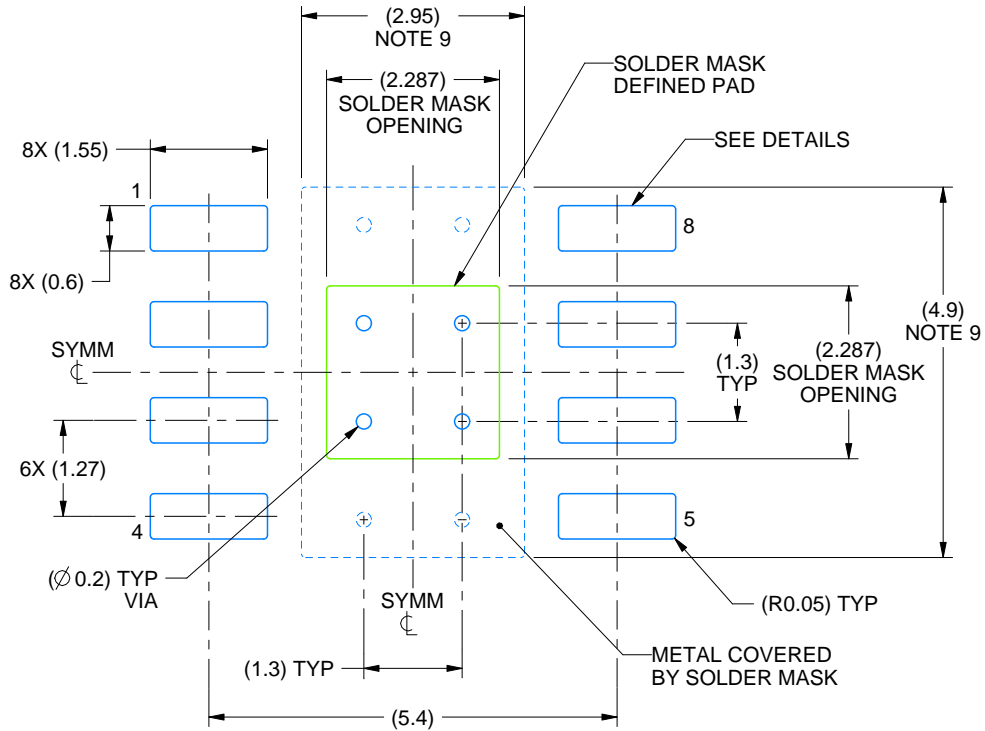
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012, variation BA.

EXAMPLE BOARD LAYOUT

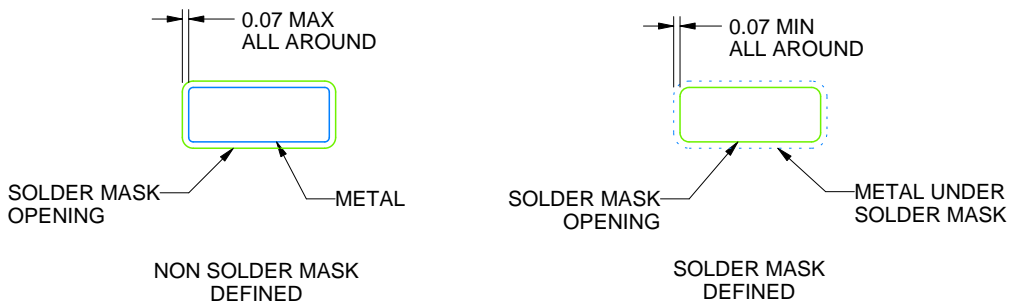
DDA0008D

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS

4218820/A 12/2022

NOTES: (continued)

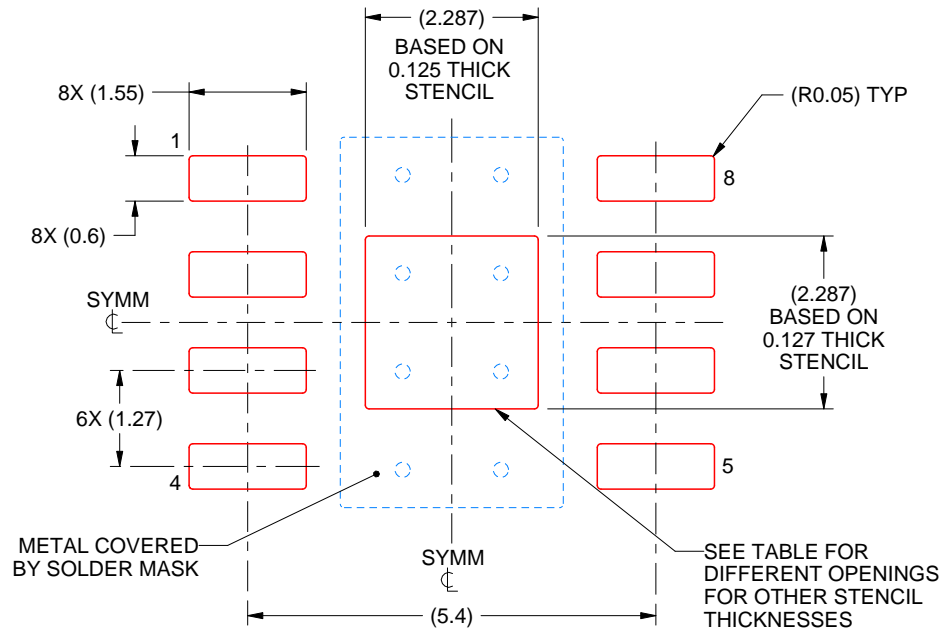
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
- 8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
- 9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DDA0008D

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.557 X 2.557
0.125	2.287 X 2.287 (SHOWN)
0.150	2.088 X 2.088
0.175	1.933 X 1.933

4218820/A 12/2022

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.



D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

- Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed $.006$ [0.15] per side.
- This dimension does not include interlead flash.
- Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
 EXPOSED METAL SHOWN
 SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司